

Ruslans Babajans

**DIVVIRZIENU ANALOGO UN DISKRĒTO HAOTISKO
OSCILATORU SINHRONIZĀCIJAS REALIZĀCIJA UN
VEIKTSPĒJAS NOVĒRTĒŠANA**

Promocijas darba kopsavilkums



RĪGAS TEHNISKĀ UNIVERSITĀTE

Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Fotonikas, elektronikas un elektronisko sakaru institūts

Ruslans Babajans

Doktora studiju programmas “Elektronika” doktorants

DIVVIRZIENU ANALOGO UN DISKRĒTO HAOTISKO OSCILATORU SINHRONIZĀCIJAS REALIZĀCIJA UN VEIKTSPĒJAS NOVĒRTĒŠANA

Promocijas darba kopsavilkums

Zinātniskie vadītāji:

asociētais profesors *Ph. D.*

DENISS KOLOSOVS

profesors *Dr. sc. ing.*

DMITRIJS PIKUĻINS

RTU Izdevniecība

Rīga 2026

Babajans, R. Divvirzienu analogo un diskrēto haotisko oscilatoru sinhronizācijas realizācija un veikspējas novērtēšana. Promocijas darba kopsavilkums. – Rīga: RTU Izdevniecība, 2026. – 50 lpp.

Iespiests saskaņā ar promocijas padomes “RTU P-08” 2026. gada 15. maija lēmumu, protokols Nr. 51.



Promocijas darba pētījumu daļēji atbalstīja ES ERAF finansētā projekta “RTU doktorantūras granti zinātniskās izcilības atbalstam viedās specializācijas jomās” (Nr. 1.1.1.8/1/24/I/007) doktorantūras grantu ietvaros (granta ID: 8024).

Vāka attēls ģenerēts ar *Gemini*.

<https://doi.org/10.7250/9789934373275>

ISBN 978-9934-37-327-5 (pdf)

PROMOCIJAS DARBS IZVIRZĪTS ZINĀTNES DOKTORA GRĀDA IEGŪŠANAI RĪGAS TEHNISKAJĀ UNIVERSITĀTĒ

Promocijas darbs zinātnes doktora (*Ph. D.*) grāda iegūšanai tiek publiski aizstāvēts 2026. gada 4. septembrī plkst. 11.00 Rīgas Tehniskās universitātes Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultātē, Āzenes ielā 12, 201. auditorijā.

OFICIĀLIE RECENZENTI

Profesors *Dr. sc. ing.* Aleksandrs Ipatovs
Rīgas Tehniskā universitāte

Profesors *Ph. D.* Christos Volos
Saloniku Aristoteļa universitāte, Grieķija

Profesors *Ph. D.* Stavros Stavrīnides
Trāķijas Dēmokrita universitāte, Grieķija

APSTIPRINĀJUMS

Apstiprinu, ka esmu izstrādājis šo promocijas darbu, kas iesniegts izskatīšanai Rīgas Tehniskajā universitātē zinātnes doktora (*Ph. D.*) grāda iegūšanai. Promocijas darbs zinātniskā grāda iegūšanai nav iesniegts nevienā citā universitātē.

Ruslans Babajans_____

Datums: _____

Promocijas darbs ir uzrakstīts angļu valodā, tajā ir ievads, piecas nodaļas, secinājumi, literatūras saraksts, 72 attēli, 11 tabulas, kopā 103 lappuses. Literatūras sarakstā ir 55 nosaukumi.

SATURS

SAĪSINĀJUMU SARAKSTS	6
IEVADS	7
Tēmas aktualitāte	7
Mērķis un uzdevumi	8
Pētījuma metodoloģija	9
Zinātniskā novitāte un galvenie rezultāti	10
Aizstāvamās tēzes	11
Aprobācija un praktiskā nozīme	11
Darba struktūra	14
1. HAOTISKIE OSCILATORI	16
1.1. Viļņas haotiskais oscilators	16
1.2. RC haotiskais oscilators	17
1.3. Kolpica haotiskais oscilators	18
1.4. Simulācijas modeļi	19
1.5. Fiziskā līmeņa prototipi	20
2. DISKRĒTO HAOTISKO OSILATORU MODEĻI UN DIGITĀLĀ REALIZĀCIJA	21
2.1. Normalizētie vienādojumi	21
Viļņas haotiskais oscilators	21
RC haotiskais oscilators	22
Kolpica haotiskais oscilators	22
2.2. Tiešā Eilera skaitliskā integrēšana	22
Viļņas haotiskais oscilators	23
RC haotiskais oscilators	23
Kolpica haotiskais oscilators	23
2.3. Digitālas shēmas arhitektūra	24
2.4. Digitālas shēmas dizaina implementācija	26
3. HAOTISKĀS SINHRONIZĀCIJAS IMPLEMENTĀCIJA UN ANALĪZE ANALOGO–DISKRĒTO SISTĒMU IETVAROS	28
3.1. Pecora–Carroll haotiskā sinhronizācija	28
3.2. Analīze skaitlisko simulāciju ietvaros	29
Analogā–diskrētā sinhronizācija	29
Diskrētā–analogā sinhronizācija	30
3.3. aparatūra cīlpā (angļu val. <i>hardware-in-the-loop, HiL</i>) pieejā balstīts pētījums	30
Analogā–diskrētā sinhronizācija	31
Diskrētā–analogā sinhronizācija	31

3.4.	Pilna fiziskā līmeņa integrācija	32
3.5.	Diskusija	33
4.	ANALOGĀS–DISKRĒTĀS UN DISKRĒTS–ANALOGĀS HAOTISKĀS SIN- HRONIZĀCIJAS VEIKTSPĒJAS ANALĪZE	34
4.1.	Sinhronizācijas trokšņnoturība	34
	Analogā–diskrētā sinhronizācija	34
	Diskrētā–analogā sinhronizācija	35
	Pētījuma rezultāti	35
	Diskrēts–diskrētās sinhronizācijas salīdzinājums	36
4.2.	Sinhronizācijas un desinhronizācijas laiks	37
	Analogās–diskrētās un diskrētās–analogās modelēšanas un eksperimentālie uzstādījumi	37
	Pētījuma rezultāti	38
4.3.	Diskusija	38
5.	HAOSĀ BALSTĪTA AUTENTIFIKĀCIJA	39
5.1.	Haotiskā oscilatora parametru novērtētājā balstīta fiziskā līmeņa autentifi- kācijas shēma	39
5.2.	Viļņas haotiskā oscilatora parametra novērtētājs	40
	Parametra novērtētāja digitālā realizācija	40
	Veiktspējas novērtējums	42
5.3.	Diskusija	44
	SECINĀJUMI	45
	IZMANTOTĀ LITERATŪRA	46

SAĪSINĀJUMU SARAKSTS

ALM – *adaptive logic module* (adaptīvais loģikas modulis)

B.LAWGN – *band-limited additive white Gaussian noise* (joslā ierobežots aditīvais baltais Gausa troksnis)

BRAM – *block random access memory* (bloku brīvpieejas atmiņa)

DSP – *digital signal processing* (ciparu signālu apstrāde)

FPGA – *field-programmable gate array* (lauka programmējams vārtu masīvs)

HiL – *hardware-in-the-loop* (aparatūra cilpā)

IoT – *Internet-of-Things* (lietu internets)

LMS – *least mean squares* (mazāko vidējo kvadrātu)

LUT – *lookup table* (īstenības tabula)

MMSE – *minimum mean squared error* (minimālā vidējā kvadrātiskā kļūda)

PCB – *printed circuit board* (iespiestā plate)

PLA – *physical-layer authentication* (fiziskā slāņa autentifikācija)

PSD – *power spectral density* (jaudas spektrālais blīvums)

ROM – *read-only memory* (lasāmatmiņa)

SNR – *signal-to-noise ratio* (signāla un trokšņa attiecība)

VHDL – *very high-speed integrated circuit (VHSIC) hardware description language* (ļoti augstas veikspējas integrēto shēmu aparatūras apraksta valoda)

WSN – *wireless sensor network* (bezvadu sensoru tīkls)

IEVADS

Tēmas aktualitāte

Straujā lietu interneta (angļu val. *Internet-of-Things*, *IoT*) attīstība ir pārveidojusi mūsdienu tehnoloģiskās ekosistēmas par cieši savstarpēji savienotām un datus balstītām vidēm. *IoT* sistēmas integrē heterogēnas ierīces, sensorus un sakaru infrastruktūras, lai nodrošinātu nepārtrauktu uzraudzību, automatizāciju un inteliģentu lēmumu pieņemšanu tādās jomās kā veselības aprūpe, viedās pilsētas un industriālā automatizācija [1]. Šīs sistēmas ģenerē un apmainās ar milzīgiem datu apjomiem, bieži vien reāllaikā, radot būtiskas iespējas efektivitātes paaugstināšanai, mērogojamībai un inovācijām.

Tomēr šī straujā izplešanās rada arī būtiskus izaicinājumus. *IoT* arhitektūras paredz stipri ierobežotus fiziskā līmeņa resursus, tās ir izklaidētas un parasti darbojas atklātās un potenciāli nedrošās datu apmaiņas vidēs. Līdz ar to tās ir īpaši ievainojamas pret drošības apdraudējumiem, tāpēc datu konfidencialitātes, integritātes un autentiskuma nodrošināšana ir kritiski svarīga prasība, īpaši lietojumos, kuros tiek apstrādāta jūtīga informācija, piemēram, medicīniskie vai industriālie dati [2–4]. Tradicionālās kriptogrāfiskās pieejas, lai gan efektīvas, ne vienmēr ir piemērotas *IoT* scenārijiem to skaitļošanas sarežģītības, enerģijas patēriņa un mērogojamības ierobežojumu dēļ.

Šajā kontekstā haosa teorija piedāvā daudzsoļu papildinājumu drošai komunikācijai un informācijas apstrādei. Haotiskās sistēmas tiek aprakstītas ar deterministisku nelineāru dinamiku, taču tām piemīt tādas īpašības kā jutība pret sākuma nosacījumiem, platjoslas spektri un pseidogadījumu uzvedība. Šīs īpašības padara tās īpaši piemērotas sarežģītu, troksnim līdzīgu signālu ģenerēšanai, kurus ir grūti prognozēt vai rekonstruēt bez precīzām zināšanām par sistēmu [5]. Līdz ar to haosā balstītas metodes kļūst par perspektīvu pieeju drošības risinājumiem ierobežotu resursu vidēs, pateicoties to vienkāršai realizācijai un zemām fiziskā līmeņa prasībām.

Haosa teorijas lietojums ir būtiski paplašinājies dažādās inženierzinātņu jomās, īpaši tajās, kur nepieciešama droša datu pārraide un apstrāde. *IoT* sistēmās haoss ir veiksmīgi izmantots:

- kriptogrāfijā un datu šifrēšanā haotiskie attēlojumi un oscilatori tiek izmantoti pseidogadījumu secību ģenerēšanai multimediju un sensoru datu šifrēšanā [6–8];
- drošās sakaru sistēmās, tostarp haosā balstītās modulācijas shēmās, kas uzlabo noturību pret troksni un pārtveršanu [9–11];
- gadījumu skaitļu ģenerēšanā, kur haotiskā dinamika kalpo kā entropijas avots kriptogrāfiskajiem pamatfunkcijām [12–14].

Šie lietojumi izmanto haotisko signālu galvenās īpašības, piemēram, ergodiskumu, neparedzamību un platjoslas spektru, kas atbilst drošas un efektīvas *IoT* darbības prasībām. Turklāt haosā balstītās metodes bieži nodrošina zemu skaitļošanas sarežģītību un efektīvu paralēlo apstrādi, padarot tās īpaši piemērotas ierobežotu resursu vidēm.

No realizācijas viedokļa haotiska uzvedība var rasties plašā elektronisko sistēmu klāstā, tos-

tarp analogajos oscilatoros, kurus apraksta nelineāri diferenciālvienādojumi [15], diskrētos attēlojumos [16], sprieguma impulsveida pārveidotājos [17–19], fāzes sinhronizācijas cilpās [20] un memristīvajās sistēmās [21, 22]. Katrs no šiem realizācijas veidiem ievieš specifiskus projektēšanas kompromisus, īpaši attiecībā uz atšķirībām starp haosa analogo un diskrēto realizāciju.

Analogas haotiskās sistēmas, kas parasti tiek realizētas, izmantojot elektroniskās shēmas, piedāvā tādas priekšrocības kā liels joslas platums, nepārtraukta laika darbība un zems enerģijas patēriņš. Tomēr tās ir jutīgas pret troksni, komponentu pielaidēm un parametru dreifu, kas var ietekmēt reproducējamību un ilgtermiņa stabilitāti. Pretstatā tam diskrētās haotiskās sistēmas nodrošina precīzu sistēmas parametru un sākuma nosacījumu kontroli, kā arī noturību pret vides izmaiņām un vieglu integrāciju ar digitālajām platformām, piemēram, mikrokontrolieriem un lauka programmējamiem vārtu masīviem (angļu val. *field-programmable gate array*, *FPGA*). Tomēr digitālās realizācijas pēc būtības ierobežo galīgā precizitāte un kvantēšanas efekti, kas var pasliktināt haotiskās īpašības un samazināt entropiju, ja šie faktori netiek pienācīgi ņemti vērā.

Jaunākie pētījumi, tostarp [23, 24], norāda uz pieaugošu tendenci izmantot hibrīdās pieejas, kas apvieno analogo haotisko signālu ģenerēšanu ar digitālo apstrādi un vadību. Šādas arhitektūras cenšas izmantot analogā haosa augsto entropiju un lielo joslas platumu, vienlaikus gūstot labumu no digitālo sistēmu elastības, mērogojamības un atkārtotamības. Piemēram, analogos haotiskos signālus var digitalizēt, izmantojot komparatorus vai analogciparu pārveidotājus, un pēc tam apstrādāt digitālajā vidē šifrēšanas, sinhronizācijas vai sakaru uzdevumu veikšanai.

Šis dualisms uzsver nepieciešamību pētīt analogās un diskrētās haotiskās sistēmas vienotā ietvarā, īpaši sinhronizācijas kontekstā. Haotiskā sinhronizācija ieņem centrālu lomu daudzos lietojumos, tostarp drošā komunikācijā un signālu rekonstrukcijā. Esošajos pētījumos haotiskā sinhronizācija pārsvarā tiek analizēta homogēnās sistēmās – starp analogām sistēmām vai starp diskrētiem modeļiem [25–28]. Lai gan abās jomās ir panākts būtisks progress, salīdzinoši mazāk uzmanības ir pievērsts sinhronizācijai starp heterogēnām sistēmām, piemēram, analogiem un diskrētiem haotiskiem oscilatoriem.

Iepriekšējos darbos aplūkota haotiskā sistēma un sinhronizācijas praktiskās realizācijas uz *FPGA* un citām digitālajām platformām [6, 29–34]. Tomēr analogo un diskrēto haotisko sistēmu integrācija vienotā hibrīdā sinhronizācijas ietvarā joprojām ir atvērta un aktuāla pētniecības problēma.

Mērķis un uzdevumi

Šī promocijas darba **mērķis** ir izstrādāt un izvērtēt ietvaru sinhronizācijai starp heterogēnām haotiskajām sistēmām, konkrēti analogajiem un diskrētajiem haotiskajiem oscilatoriem.

Lai sasniegtu iepriekš definēto mērķi, tiek izvirzīti šādi **uzdevumi**:

- izstrādāt matemātiskos modeļus un fiziskā līmeņa resursu ziņā efektīvus digitālo shēmu realizācijas Viļņas, RC un Kolpica haotiskajiem oscilatoriem, optimizētus implementācijai uz

FPGA;

- izpētīt *Pecora–Carroll* sinhronizācijas metodi starp analogajām realizācijām un to diskrētajiem analogiem, izmantojot skaitliskas simulācijas, *HiL* konfigurācijas un pilnu fiziskā līmeņa integrāciju;
- novērtēt sinhronizācijas trokšņu noturību, kā arī sinhronizācijas un desinhronizācijas laiku šajās hibrīdajās sistēmās;
- izstrādāt un realizēt haosā balstītu autentifikācijas sistēmu, izmantojot Viļņas oscilatora parametru novērtētāju, demonstrējot haotiskās sinhronizācijas praktisko lietojumu drošos sakaros.

Pētījuma metodoloģija

Pētījuma pamatā ir kombinēta analītiskā, skaitliskā un eksperimentālā metodoloģija, lai izpētītu sinhronizāciju starp analogajiem un diskrētajiem haotiskajiem oscilatoriem. Metodoloģiskais ietvars ir strukturēts vairākos secīgos posmos, nodrošinot gan teorētisku pamatotību, gan praktisku validāciju.

Vispirms izstrādāti izvēlēto haotisko oscilatoru (Viļņas, RC un Kolpica) matemātiskie modeļi. Nelineārie diferenciālvienādojumi iegūti, izmantojot ķēžu likumus, un normalizēti, lai nodrošinātu efektīvu skaitlisko apstrādi. Šie modeļi kalpo par pamatu gan simulācijām, gan digitālajai realizācijai.

Otrkārt, veikta skaitliskā simulācija un analīze, izmantojot shēmu simulācijas rīkus un *MATLAB* balstītu pēcapstrādi. Nepārtrauktā laika oscilatoru modeļi implementēti *LTspice* vidē, un to dinamiskā uzvedība analizēta, izmantojot signālus laika apgabalā, atrektorus fāžu telpā un jaudas spektrālo blīvumu (angļu val. *power spectral density*, *PSD*). Lai nodrošinātu digitālu realizāciju, analogo oscilatoru modeļi diskretizēti, izmantojot skaitliskās integrācijas metodes, konkrēti tiešo Eilera metodi, rūpīgi ņemot vērā stabilitātes un precizitātes aspektus.

Treškārt, veikta diskrētā laika haotisko oscilatoru digitālo shēmu izstrāde un implementācija *FPGA* platformā. Lai nodrošinātu resursu ziņā efektīvu fiziskā līmeņa realizāciju, vienlaikus saglabājot būtiskās haotiskās īpašības, izmantota fiksētā punkta aritmētika. Izstrādātas specializētas arhitektūras, piemēram, atvasinājumu aprēķina konveijers un meklēšanas tabulās (angļu val. *lookup table*, *LUT*) balstītas nelineāro funkciju implementācijas, lai optimizētu sistēmas veiktspēju.

Ceturtkārt, veikta sinhronizācijas analīze, izmantojot *Pecora–Carroll* “vadošais–vadāmais” (angļu val. *drive–response*) ietvaru. Pētītas vairākas sinhronizācijas konfigurācijas, galvenokārt analogā–diskrētā un diskrētā–analogā. Šie pētījumi veikti trīs līmeņos:

- skaitliskās simulācijas;
- *HiL* konfigurācijas;
- pilna fiziskā līmeņa integrācija, ietverot fiziskās shēmas un *FPGA* implementācijas.

Piektkārt, veikta eksperimentālā validācija, izmantojot izveidotus analogo oscilatoru iespiesto

plašu (angļu val. *printed circuit board, PCB*) prototipus un *FPGA* balstītas digitālās sistēmas. Mēriekārtas izmantotas reāllaika signālu iegūšanai, kas pēc tam analizēti un salīdzināti ar simulāciju rezultātiem, lai pārbaudītu saskaņotību un precizitāti.

Sestkārt, veikts veikspējas novērtējums, lai izvērtētu sinhronizācijas kvalitāti neideālos apstākļos. Galvenie parametri ietver:

- Pīrsona korelācijas koeficientu sinhronizācijas precizitātei;
- noturību pret troksni aditīvu traucējumu apstākļos;
- sinhronizācijas un desinhronizācijas laiku;
- jutību pret parametru nesakritību un kvantēšanas efektiem.

Visbeidzot, lietojumorientēta validācija veikta, izstrādājot haosā balstītu autentifikācijas shēmu. Realizēta un izvērtēta parametru novērtēšanas pieeja, kurai pamatā ir adaptīva filtrēšana (mazāko kvadrātu metode), un tā izvērtēta, demonstrējot haotiskās sinhronizācijas izmantošanas iespējamību fiziskā slāņa autentifikācijā.

Kopumā metodoloģija integrē teorētisko modelēšanu, simulācijās balstītu analīzi, fiziskā līmeņa dizainu un eksperimentālu validāciju vienotā ietvarā, nodrošinot visaptverošu hibrīdo analogo–diskrēto haotisko sistēmu izpēti.

Zinātniskā novitāte un galvenie rezultāti

Darba zinātniskā novitāte ir saistīta ar analogo un diskrēto haotisko sistēmu integrēšanu vienotā hibrīdā sinhronizācijas ietvarā. Šim jautājumam iepriekšējos pētījumos ir pievērsta ierobežota uzmanība. Galvenie darba rezultāti ietver:

- pirmo reizi veikta stabilas sinhronizācijas eksperimentāla validācija starp fiziski realizētām analogajām shēmām un to diskrētā laika analogiem, kas implementēti uz *FPGA*;
- veikts visaptverošs hibrīdo konfigurāciju sinhronizācijas īpašību pētījums, parādot, ka augsta korelācija (virs 0.8) var tikt saglabāta pat neideālos apstākļos;
- izstrādāts digitāls parametru novērtētājs Viļņas haotiskajam oscilatoram, efektīvs fiziskā slāņa autentifikācijas risinājums.

Papildus zinātniskajiem ieguldījumiem šis promocijas darbs sniedz arī vairākus būtiskus praktiskus un metodoloģiskus rezultātus:

- “Atvasinājumu aprēķina konveijera” (angļu val. *Derivative Calculation Pipeline*) un fiksētā punkta modeļu izstrāde, kas spēj saglabāt haotiskos atraktoros, neskatoties uz digitālās kvantēšanas ierobežojumiem;
- metodoloģijas izstrāde hibrīdās sinhronizācijas veikspējas salīdzināšanai ar diskrētiem etaloņiem, izmantojot Pīrsona korelācijas koeficientu.

Aizstāvamās tēzes

1. Haotiskā sinhronizācija starp nelineāru oscilatoru analogajām un diskrētajām realizācijām ir sasniedzama gan analogās–diskrētās, gan diskrētās–analogās konfigurācijās, izmantojot vien-virziena *Pecora-Carroll* sinhronizāciju, ar nosacījumu, ka tiek nodrošināta laika apgabala izlīdzināšana un analogciparu saskarne atbilst pietiekamai diskretizācijas frekvencei, kvantēšanas izšķirtspējai un joslas platuma ierobežojumiem, lai saglabātu sistēmas pamatdinamiku.
2. Viļņas un RC haotiskajos oscilatoros hibrīdā sinhronizācija konverģē lēnāk, nekā tā diverģē; turklāt stāvokļa mainīgie, kuri ir ciešāk saistīti ar sinhronizācijas signālu, sasniedz augstāku sinhronizācijas kvalitāti un ātrāku konverģenci.
3. Vadošā haotiskā oscilatora parametra novērtēšana, kas diferencu vienādojumā parādās kā svāra koeficients, ir iespējama, lietojot adaptīvo mazāko kvadrātu filtru, izmantojot vadāmā oscilatora atbilstošā parametra novērtējumu, kas iegūts no stāvokļa mainīgajiem.

Aprobācija un praktiskā nozīme

Šajā promocijas darbā prezentētie rezultāti iegūti autora zinātniskās pētniecības un eksperimentālās izstrādes ietvaros doktora studiju laikā Rīgas Tehniskajā universitātē. Pētījums attīstījies ciešā saistībā ar esošajiem akadēmiskajiem, industriālajiem un lietišķajiem pētniecības projektiem, tādējādi nodrošinot gan zinātnisko aktualitāti, gan pētītās hibrīdās sinhronizācijas praktisko lietojamību.

Šī promocijas darba zinātniskie rezultāti ir publicēti recenzētos starptautiskos zinātniskajos žurnālos un konferenču rakstu krājumos. Nozīmīgākās publikācijas, kas tieši atspoguļo šī darba pamatieguldījumus, ir uzskaitītas turpmāk. Publikācijas, kurās promocijas darba autors ir pirmais autors, ir izceltas **treknrakstā**.

- [35] R. Babajans u. c. “Study on Analog and Discrete Chaos Oscillators Synchronization”. en. *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 33.–46. lpp. ISBN: 978-3-031-60907-7. DOI: [10.1007/978-3-031-60907-7_4](https://doi.org/10.1007/978-3-031-60907-7_4).
- [36] R. Babajans u. c. “Experimental Study on Analog and Discrete Chaos Oscillators Synchronization”. *2023 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. 2023. g. okt., 24.–28. lpp. DOI: [10.1109/MTTW59774.2023.10319995](https://doi.org/10.1109/MTTW59774.2023.10319995).
- [37] R. Babajans u. c. “Synchronization of Analog-Discrete Chaotic Systems for Wireless Sensor Network Design”. en. *Applied Sciences* 14.2 (2024. g. janv.). Number: 2, 915. lpp. ISSN: 2076-3417. DOI: [10.3390/app14020915](https://doi.org/10.3390/app14020915).
- [38] R. Babajans, D. Cirjulina un D. Kolosovs. “Discrete Sequential Implementation of Chaos Oscillators for FPGA Integration”. *2024 IEEE Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. Rīga, Latvia: IEEE, 2024. g. okt., 33.–36. lpp. ISBN: 979-8-3315-3317-5. DOI: [10.1109/MTTW64344.2024.10742168](https://doi.org/10.1109/MTTW64344.2024.10742168).

- [39] R. Babajans, D. Cirjulina un D. Kolosovs. "Field-Programmable Gate Array-Based Chaos Oscillator Implementation for Analog–Discrete and Discrete–Analog Chaotic Synchronization Applications". en. *Entropy* 27.4 (2025. g. apr.). Number: 4, 334. lpp. issn: 1099-4300. doi: [10.3390/e27040334](https://doi.org/10.3390/e27040334).
- [40] R. Babajans u. c. "Noise Performance Study of FPGA-based and Analog Chaos Oscillator Synchronization". en. *2025 IEEE 12th Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*. Vilnius, Lithuania: IEEE, 2025, 1.–5. lpp. doi: [10.1109/AIEEE66149.2025.11050878](https://doi.org/10.1109/AIEEE66149.2025.11050878).
- [41] D. Cirjulina u. c. "Nonlinear Dynamics and Hybrid Synchronization of DC Biased Colpitts Chaotic Oscillators". en. *Electronics* 14.20 (2025. g. janv.), 4005. lpp. issn: 2079-9292. doi: [10.3390/electronics14204005](https://doi.org/10.3390/electronics14204005).
- [42] R. Babajans u. c. "Chaos-Based Dynamical Parameter Estimation for Physical Layer Authentication in Wireless IoT Networks". en. *Electronics* 15.4 (2026. g. janv.), 748. lpp. issn: 2079-9292. doi: [10.3390/electronics15040748](https://doi.org/10.3390/electronics15040748).

Šī promocijas darba pētījuma rezultāti ir prezentēti arī starptautiskās zinātniskajās konferencēs, darbnīcās un simpozijos, nodrošinot recenzentu un kolēģu atgriezenisko saiti, kā arī rezultātu izplatīšanu zinātniskajā vidē. Autors šī promocijas darba rezultātus ir prezentējis šādās starptautiskās zinātniskajās konferencēs:

- R. Babajans "Synchronization of Analog and Discrete Chaos Oscillators," Days of Applied Nonlinearity and Complexity (DANOC 2024), Greece, Thessaloniki, 12–14 January 2024.
- R. Babajans "FPGA-based Chaos Oscillator Parameter Estimator for Data Transfer," Days of Applied Nonlinearity and Complexity (DANOC 2026), Aristotle University of Thessaloniki, Thessaloniki, Greece, 23–25 January 2026.
- R. Babajans "Discrete Sequential Implementation of Chaos Oscillators for FPGA Integration," 2024 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW 2024), IEEE Latvia Section COM/MTT/AP Joint Society Chapter, IEEE Latvia Section, Riga Technical University, Riga 2–4 October 2024.
- R. Babajans "Experimental Study on Analog and Discrete Chaos Oscillators Synchronization," 2023 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW 2023), IEEE Latvia Section COM/MTT/AP Joint Society Chapter, IEEE Latvia Section, Riga Technical University, Riga, 4–6 October 2023.
- R. Babajans "Quadrature Chaos Phase Shift Keying Communication System Based on Vilnius Chaos Oscillator," 2022 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW 2022), IEEE Latvia Section COM/MTT/AP Joint Society Chapter, IEEE Latvia Section, Riga Technical University, Riga, 5–7 October 2022.
- R. Babajans "Noise Performance Study of FPGA-based and Analog Chaos Oscillator Synchronization," 2025 IEEE 12th Workshop on Advances in Information, Electronic and Electrical

Engineering (AIEEE 2025), Lithuania, Vilnius, 15–17 May 2025.

- R. Babajans “Noise Performance Study of FPGA-based and Analog Chaos Oscillator Synchronization,” RTU 66th International Scientific Conference, Riga Technical University, Riga, Latvia, 27 November 2025.
- R. Babajans “FPGA-based Chaos Oscillator Implementation for Analog-Discrete and Discrete-Analog Chaotic Synchronization Applications,” RTU 66th Student Scientific and Technical Conference, Riga Technical University, Riga, Latvia, 25 April 2025.
- R. Babajans “Synchronization of Analog and Discrete Chaos Oscillators,” RTU 65th International Scientific Conference, Riga Technical University, Riga, Latvia, 11 October 2024.
- R. Babajans “Study on Analog and Discrete Chaos Oscillators Synchronization,” The 16th CHAOS 2023 International Conference, Technical University of Crete, Crete, Greece, 13–17 June 2023.

Pētījums veikts paralēli dalībai vairākos nacionālajos un institucionālajos pētniecības projektos, kas atbalstīja eksperimentālo validāciju, prototipu izstrādi un lietišķos pētījumus, kuri aplūkoti šajā promocijas darbā:

1. “Implementation of consolidation and management changes at RTU, LiepU, Rēzekne Academy of Technology and Latvian Maritime Academy and Liepāja Maritime College for progress towards excellence in higher education, science and innovation.” Grant No RTU-PA-2024/1-0064 under the EU RRF project No 5.2.1.1.i.0/2/24/I/CFLA/003 (01.01.2024.–31.01.2026.);
2. SAM 8.2.2. “Strengthening of Ph.D. students and academic personnel of Riga Technical University and BA School of Business and Finance in the strategic fields of specialization” of the Specific Objective 8.2.2 “To Strengthen Academic Staff of Higher Education Institutions in Strategic Specialization Areas” of the Operational Program “Growth and Employment” and the RTU doctoral grant program. Project 03000-3.1.2.1-e/177 | 8.2.2.0/20/I/008. (01.12.2022.–30.11.2023.);
3. LZZP fundamental and applied research project “Advanced wireless power transmission techniques” 03000-3.1.2.1-e/4 | lzp-2021/1-0170 (03.01.2022.–30.12.2024.);
4. “Exploring the Next Generation IoT Network”, 03000-3.1.2.1-e/14 edoc | ZI-2023/3 | 4691, Internal funding of RTU (02.01.2023.–31.12.2023.);
5. “Exploring cyber-secure IoT data-driven agricultural management”, 04000-1.3-e/24 | ZI-2024/7 | 4834, Internal funding of RTU (02.01.2024.–31.12.2024.);
6. “RTU Doctoral Grants for Supporting Scientific Excellence in Smart Specialization Areas” 0B000-3.5.3-e/3 | 1.1.1.8/1/24/I/007 | 5021, within the framework of a doctoral grant ID 8024 (15.09.2025.–15.09.2026.).

Doktorantūras studiju laikā autors ir piedalījies šādu studiju kursu pasniegšanā Rīgas Tehniskajā universitātē:

- REA711 – Ciparu elektronisko sistēmu projektēšanas pamati izmantojot HDL (4.5 ECTS);
- DE0092 – Funkcionālo un loģisko shēmu modelēšana (4 ECTS);
- DE0735 – Signālu apstrādes sistēmas (kursa projekts) (3 ECTS);
- REA712 – Ciparu elektronisko sistēmu projektēšanas pamati, izmantojot HDL (kursa projekts) (3 ECTS);
- RTR822 – Signālu teorija (4.5 ECTS);
- DE0101 – Signālu apstrādes sistēmas (4 ECTS);
- DE0103 – Datu pārraides elektroniskās sistēmas (4 ECTS);
- DE0501 – Signālu teorija (kursa projekts) (3 ECTS).

Šī promocijas darba izstrādi papildus atbalstīja starptautiskā akadēmiskā un pētnieciskā mobilitāte, kas nodrošināja sadarbību ar ārējām pētniecības institūcijām un piekļuvi attīstītai eksperimentālajai infrastruktūrai. Doktorantūras studiju laikā autors bija nodarbināts Rīgas Tehniskajā universitātē, vienlaikus īstenojot šādas mobilitātes:

- *KTH Royal Institute of Technology*, Zviedrija (01.05.2023.–31.05.2023.);
- *Politecnico di Torino*, Itālija (18.11.2024.–22.11.2024.);
- *Aristotle University of Thessaloniki*, Grieķija (30.11.2025.–05.12.2025.).

Autora zinātniskie un akadēmiskie ieguldījumi doktorantūras studiju laikā ir tikuši atzīti ar šādām balvām:

- Labākās prezentācijas balva *2023 Workshop on Microwave Theory and Technology in Wireless Communications*, 06.10.2023.

Kopumā šajā promocijas darbā prezentētie rezultāti ir validēti, izmantojot recenzētas publikācijas, starptautiskas konferenču prezentācijas, eksperimentālos prototipus un lietišķos pētniecības projektus. Simulācijās balstītās analīzes un eksperimentālo mērījumu kombinācija apstiprina hibrīdās analoģo–diskrēto un diskrēto–analoģo sinhronizācijas zinātnisko nozīmību un praktisko ietojamību.

Darba struktūra

Darba pirmajā nodaļā sniegts vispārīgs ieskats haotiskajos oscilatoros, apskatot Viļņas, RC un Kolpica haotiskos oscilatorus un to matemātiskos modeļus.

Otrā nodaļā veltīta haotisko oscilatoru diskrētā laika modelēšanai un to realizācijai digitālajā aparatūrā. Īpaša uzmanība pievērsta realizācijai uz *FPGA*, fiksētā komata aritmētikai un haotiskās uzvedības saglabāšanai digitālā formā.

Trešajā nodaļā pētīta sinhronizācija starp analogajām un digitālajām haotiskajām sistēmām. Izskatītas dažādas konfigurācijas, tostarp analoģā–diskrētā un diskrētā–analoģā, izmantojot gan modelēšanas, gan eksperimentālo platformu sniegtos rezultātus.

Ceturtajā nodaļā veikta visaptveroša piedāvāto sistēmu veiktspējas analīze. Izvērtēti tādi aspekti kā sinhronizācijas precizitāte, noturība pret troksni, parametru nesakritība un pārejas režīmu (angļu

val. *transient*) uzvedība.

Piektajā nodaļā pētīts haotisko sistēmu lietojums fiziskā slāņa autentifikācijā. Izmantota stohastiskā gradientā balstīta parametru novērtēšanas metode, lai demonstrētu haosā balstītu fiziskā slāņa drošības mehānismu realizējamību.

Kopumā šīs nodaļas veido vienotu haotisko sistēmu analīzes un implementācijas ietvaru, kas savieno analogo un digitālo apgabalu un izceļ to lietojamību sinhronizācijā un fiziskā slāņa drošībā.

1. HAOTISKIE OSCILATORI

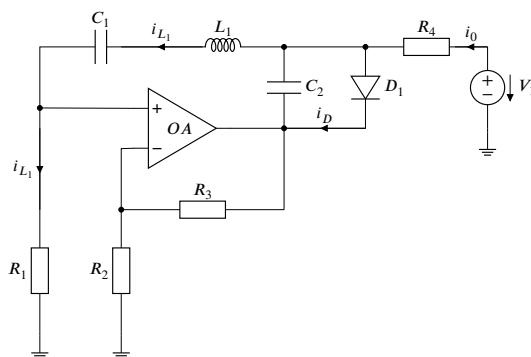
Šajā nodaļā aplūkoti trīs analogie haotiskie oscilatori: Viļņas [43], RC [44] un Kolpica [45]. Katrs oscilators analizēts, aplūkojot tā shēmas struktūru, *LTspice* simulācijas modeļus un eksperimentālos fiziskā līmeņa prototipus. Salīdzinājums starp simulētajiem un izmērītajiem rezultātiem veido pamatu haotiskās dinamikas praktiskai realizācijai, kas raksturota ar deterministiskiem vienojumiem, jutību pret sākuma nosacījumiem un troksnim līdzīgām spektrālajām īpašībām.

Lai panāktu haosu analogajā elektronikā, sistēmai jāietver vismaz trīs reakīvie elementi un nelineārs elements. Šajā darbā izvēlētie oscilatori ir atlasīti, ņemot vērā to saderību ar zemsprieguma ($\leq 5\text{ V}$) iegultajām sistēmām, minimālu komponentu skaitu un iespēju mērogot dinamiku uz augstākām frekvencēm datu pārraidei. Dažādu arhitektūru haotisko oscilatoru izvēle demonstrē izstrādāto metodoloģiju piemērojamību plašam haotisko sistēmu lokam.

1.1. Viļņas haotiskais oscilators

Pirmais šim darbam izvēlētais oscilators ir Viļņas haotiskais oscilators [43]. Tā galvenā priekšrocība ir salīdzinoši vienkārša shēmas struktūra, kurā skaidri nodalīta lineārā rezonanses ķēde un nelineārais elements. LC rezonanses konturs nodrošina stabilu oscilējošu dinamiku un labi definētas frekvences īpašības, tādējādi vienkāršojot gan regulēšanu, gan analīzi. Turklāt shēma darbojas efektīvi pie zema barošanas sprieguma un prasa minimālu aktīvo komponentu skaitu, kas rezultējas zemā enerģijas patēriņā un uzticamā fiziskā līmeņa realizācijā.

Viļņas haotiskā oscilatora shēmas diagramma ir parādīta 1.1. att. Oscilators satur pamatkomponentus, kas nepieciešami haotiskas uzvedības nodrošināšanai elektroniskajās sistēmās.



1.1. att. Viļņas haotiskā oscilatora shēmas diagramma.

Oscilatora dinamiku apraksta trīs stāvokļa mainīgie: spriegums uz kondensatora C_1 (v_{C_1}), strāva caur induktoru L_1 (i_{L_1}) un spriegums uz kondensatora C_2 (v_{C_2}). Lietojot oscilatora ķēdei Kirhoha likumus, iegūta šāda nelineāro diferenciālvienādojumu sistēma:

$$\begin{cases} C_1 \frac{dv_{C_1}}{dt} = i_{L_1} \\ L_1 \frac{di_{L_1}}{dt} = (k-1) \cdot R_1 \cdot i_{L_1} - v_{C_1} - v_{C_2} \\ C_2 \frac{dv_{C_2}}{dt} = i_0 + i_{L_1} - i_D \end{cases}, \quad (1.1.)$$

kur i_D ir strāva caur diodi D_1 ; i_0 ir strāva caur rezistoru R_4 ; k ir neinvertējošā operacionālā pastiprinātāja slēguma pastiprinājums. Nelineārā uzvedība rodas no diodes strāvas–sprieguma raksturlīknes, kas izteikta kā:

$$i_D = i_S \cdot \left(e^{\frac{v_{C_2}}{V_T}} - 1 \right), \quad (1.2.)$$

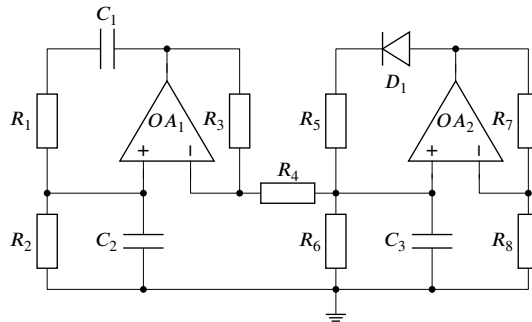
kur i_S ir diodes piesātinājuma strāva (aptuveni 2×10^{-14} A 1N4148 diodei), bet V_T ir termiskais spriegums (aptuveni 26 mV istabas temperatūrā 298 K).

Haotiskā oscilatora parametru vērtības ir šādas: $C_1 = 1$ nF, $C_2 = 150$ pF, $L_1 = 1$ mH, $R_1 = 1$ k Ω , $R_2 = 10$ k Ω , $R_3 = 6$ k Ω , $R_4 = 20$ k Ω , $V_1 = 5$ V un $k = 1,6$.

1.2. RC haotiskais oscilators

Kā otrais pētījumā aplūkots RC haotiskais oscilators [44]. Šīs shēmas galvenā priekšrocība ir tās vienkāršā struktūra, kuras realizācijai nepieciešami tikai rezistori, kondensatori, operacionālie pastiprinātāji un diode, nodrošinot kompaktu un izmaksu ziņā efektīvu implementāciju. Izslēdzot induktorus, shēma būtiski samazina kopējo izmēru un novērš problēmas, kas saistītas ar magnētisko saiti un komponentu parametru izkliedi. Šīs īpašības kopā ar uzticamu darbību pie zema barošanas sprieguma padara RC oscilatoru īpaši piemērotu zemas jaudas analogajām sistēmām un integrēto shēmu realizācijām.

RC haotiskā oscilatora shēmas diagramma ir parādīta 1.2. att. Oscilators ir balstīts Vīna tilta (angļu val. *Wien bridge*) konfigurācijā un ietver pamatkomponentus, kas nepieciešami haotiskās dinamikas nodrošināšanai elektroniskajās sistēmās.



1.2. att. RC haotiskā oscilatora shēmas diagramma.

RC haotiskā oscilatora matemātiskais modelis iegūts, piemērojot Kirhofa strāvas likumu katram kondensatora mezglam:

$$\begin{cases} C \frac{dv_{C_1}}{dt} = -\frac{v_{C_1}}{R} + \frac{k_1-1}{R}v_{C_2} - \frac{k_1-1}{R}v_{C_3} \\ C \frac{dv_{C_2}}{dt} = -\frac{v_{C_1}}{R} + \frac{k_1-2}{R}v_{C_2} - \frac{k_1-1}{R}v_{C_3} \\ C \frac{dv_{C_3}}{dt} = \frac{k_1}{R}v_{C_2} - \frac{k_1+\alpha}{R}v_{C_3} + \frac{\beta}{R}(v_{C_3} - v^*)H(v_{C_3} - v^*) \end{cases}, \quad (1.3.)$$

kur ieviestie parametri ir definēti šādi:

$$\begin{aligned} k_1 &= \frac{R_3}{R_4} + 1, & k_2 &= \frac{R_7}{R_8} + 1, & \alpha &= \frac{R_1}{R_6}, & \beta &= \frac{R_1}{R_8}, \\ v^* &= \frac{v_0}{k_2-1}, & C_1 &= C_2 = C_3 = C, & R_1 &= R_2 = (R_3 + R_4) = R. \end{aligned} \quad (1.4.)$$

Oscilatora nelinearitāti nodrošina atgriezeniskās saites cilpā iekļauta diode. Raksturīgo spriegumu v^* nosaka diodes tiešais sprieguma kritums v_0 (parasti 0,7 V), un nelineārā uzvedība analītiski modelēta, izmantojot Hevisaida (Heaviside) lēcienfunkciju:

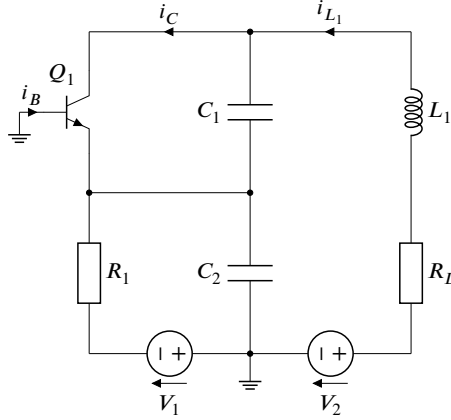
$$H = \begin{cases} 0, & \text{if } v_{C_3} - v^* < 0 \\ 1, & \text{if } v_{C_3} - v^* \geq 0 \end{cases} \quad (1.5.)$$

RC haotiskajam oscilatoram pamatfrekvence tiek noteikta ar Vīna tilta (Wien bridge) shēmu, ko veido R_1, R_2, C_1 un C_2 . Oriģinālajā darbā [44] shēma ieviesta ar šādiem parametriem: $C_1 = C_2 = C_3 = 1,3 \text{ nF}$, $R_1 = R_2 = 11 \text{ k}\Omega$, $R_3 = 9,1 \text{ k}\Omega$, $R_4 = 2 \text{ k}\Omega$, $R_5 = R_7 = 2,7 \text{ k}\Omega$, $R_6 = 1,1 \text{ k}\Omega$, $R_8 = 780 \Omega$, un diode 1N4148.

1.3. Kolpica haotiskais oscilators

Trešais šajā darbā izmantotais oscilators ir Kolpica haotiskais oscilators [45]. Šī oscilatora galvenā priekšrocība ir spēja darboties augstās frekvencēs un efektīva enerģijas apmaiņa LC kontūrā. Salīdzinājumā ar operacionālajos pastiprinātājos balstītiem haotiskajiem oscilatoriem tranzistorā balstīts Kolpica oscilators spēj nodrošināt augstākas darbības frekvences un labāku energoefektivitāti. Shēmai ir nepieciešams arī salīdzinoši mazs komponentu skaits, un tā spēj darboties pie zemiem barošanas spriegumiem, kas padara to piemērotu kompaktām fiziskā līmeņa implementācijām un potenciāli arī radiofrekvenču vai sakaru sistēmās.

Kolpica haotiskā oscilatora shēmas diagramma ir parādīta 1.3. att. Šī shēma ietver pamatkomponentus, kas nepieciešami haotiskas dinamikas ģenerēšanai analogajā elektroniskajā sistēmā.



1.3. att. Kolpica haotiskā oscilatora shēmas diagramma.

Piemērojot Kirhoha likumus šai shēmai, iegūst šādu nelineāro diferenciālvienādojumu sistēmu:

$$\begin{cases} C_1 \frac{dv_{C_1}}{dt} = i_{L_1} - i_C \\ C_2 \frac{dv_{C_2}}{dt} = \frac{V_1 - v_{C_2}}{R_1} - i_{L_1} - i_B \\ L_1 \frac{di_{L_1}}{dt} = V_2 - v_{C_1} - v_{C_2} - i_{L_1} \cdot R_L \end{cases} \quad (1.6.)$$

Šajos vienādojumos i_B un i_C ir nelineāras funkcijas, kas apraksta tranzistora darbību. Tranzistors Q_1 pārslēdzas starp aktīvo režīmu un nogriešanās (angļu val. *cutoff*) režīmu. Tranzistora strāvu gabalveida lineārā aproksimācija ir dota kā:

$$i_B = \begin{cases} 0, & \text{if } -v_{C_2} \leq V_{TH} \\ -\frac{v_{C_2} + V_{TH}}{R_{ON}}, & \text{if } -v_{C_2} > V_{TH} \end{cases}, \quad (1.7.)$$

$$i_C = \beta_F \cdot i_B, \quad (1.8.)$$

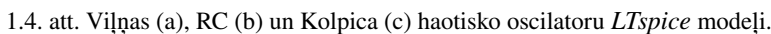
kur V_{TH} ir bāzes–emitera sliekšņa spriegums, R_{ON} ir bāzes–emitera pārejas mazo signālu ieslēgtā stāvokļa pretestība, un β_F ir tranzistora tiešās strāvas pastiprinājuma koeficients.

Shēmas parametri ir šādi: $V_1 = 5 \text{ V}$, $V_2 = 5 \text{ V}$, $R_L = 40 \Omega$, $L_1 = 100 \mu\text{H}$, $C_1 = 54 \text{ nF}$, $C_2 = 54 \text{ nF}$, $R_1 = 400 \Omega$ un tranzistors 2N2222.

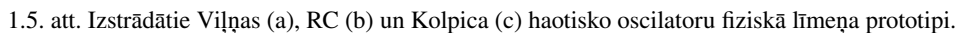
1.4. Simulācijas modeļi

Lai izvērtētu izvēlēto haotisko oscilatoru uzvedību, izstrādāti *LTspice* modeļi Viļņas, RC un Kolpica arhitektūrām, kā parādīts 1.4. att. Simulāciju ilgums un maksimālie laika soļi tika pielāgoti

Adaptīvā laika soļu algoritma dēļ, kas tiek izmantots *LTspice* risinātājā (angļu val. *solver*), papildus neapstrādātie simulācijas dati satur nevienmērīgus laika intervālus. Lai nodrošinātu savietojamību turpmākai apstrādei, eksportētie signāli tika pārdiskretizēti *MATLAB* vidē, iegūstot vienmērīgi sadalītu laika rindu.



Šim darbam izstrādāti Viļņas, RC un Kolpica oscilatoru fiziskā līmeņa prototipi. Katra oscilatora PCB projektēts, izmantojot *KiCad*, un izgatavots uz divslāņu FR4 substrāta, kā parādīts 1.5. att. Visu trīs oscilatoru fiziskās realizācijas uzrādīja labu kvalitatīvu atbilstību *LTspice* modeļiem. Šajā darbā *LTspice* modeļi izmantoti kā primārais instruments sākotnējai uzvedības modelēšanai un parametru optimizācijai, savukārt fiziskā līmeņa prototipi izmantoti galīgajai fiziskā līmeņa validācijai.



2. DISKRĒTO HAOTISKO OSILATORU MODEĻI UN DIGITĀLĀ REALIZĀCIJA

Šajā nodaļā aplūkota analogo haotisko oscilatoru modeļu transformācija diskretā laika reprezentācijās un to implementācija *FPGA* platformā. Nepārtrauktā laika dinamika, ko apraksta nelineāri diferenciālvienādojumi, aproksimēta, izmantojot skaitliskās integrācijas metodes, lai iegūtu diskrētus modeļus, kas piemēroti digitālai realizācijai.

Digitālās implementācijas nodrošina precīzu parametru un sākuma nosacījumu kontroli, kā arī noturību pret vides ietekmi, tomēr tās ierobežo galīgā precizitāte, kvantēšana un diskretizācijas efekti. Būtisks procesa solis ir vienādojumu normalizācija, kas samazina dinamisko diapazonu un nodrošina efektīvu fiksētā komata implementāciju.

2.1. Normalizētie vienādojumi

Pirmais solis haotisko oscilatoru modeļu implementācijā uz *FPGA* ir diferenciālvienādojumu normalizācija. Šajā procesā mainīgie un parametri tiek pārveidoti par bezdimensionāliem lielumiem ar ierobežotu vērtību diapazonu, kā arī tiek ieviests normalizēts laiks, izmantojot sistēmas raksturīgo laika konstanti. Rezultātā vienādojumi kļūst vienkāršāki un neatkarīgi no fiziskajām vienībām, padarot tos piemērotus digitālai realizācijai. Normalizācija pielāgo sistēmu ierobežota vārda garuma (angļu val. *finite word-length*) aritmētikai, uzlabo skaitlisko stabilitāti un samazina pārplūdes risku. Tā arī ļauj efektīvāk izmantot fiziskā līmeņa resursus un nodrošina elastīgu sistēmas dinamikas kontroli, izvēloties integrācijas soļa lielumu.

Viļņas haotiskais oscilators

Lai iegūtu Viļņas haotiskā oscilatora vienādojumu normalizēto (bezdimensionālo) formu, ieviesti šādi parametri:

$$\begin{aligned} x &= \frac{v_{C1}}{V_T}, & y &= \frac{\rho \cdot i_{L1}}{V_T}, & z &= \frac{v_{C2}}{V_T}, & V_T &= \frac{k_B T}{e}, & \rho &= \sqrt{\frac{L_1}{C_1}}, & \epsilon &= \frac{C_2}{C_1}, \\ a &= (k-1) \frac{R_1}{\rho}, & b &= \frac{\rho \cdot i_0}{V_T}, & c &= \frac{\rho \cdot i_S}{V_T}, & \theta &= \frac{t}{\tau}, & \tau &= \sqrt{L_1 \cdot C_1}. \end{aligned} \quad (2.1.)$$

Izmantojot šīs substitūcijas, sistēmu var izteikt normalizētā formā kā:

$$\begin{cases} \frac{dx}{d\theta} = y \\ \frac{dy}{d\theta} = a \cdot y - x - z \\ \epsilon \cdot \frac{dz}{d\theta} = b + y - c \cdot (e^z - 1) \end{cases} \quad (2.2.)$$

Iegūtā sistēma ir pilnībā izteikta bezdimensionālos mainīgajos un laikā, padarot to neatkarīgu no fiziskajām vienībām. Šī normalizētā reprezentācija ir labi piemērota digitālai realizācijai, jo tā

nodrošina ierobežotus signālu diapazonus un ļauj tālāk īstenot Viļņas haotisko oscilatoru uz *FPGA* platformas.

RC haotiskais oscilators

RC haotiskā oscilatora gadījumā sākotnējā nelineāro diferenciālvienādojumu sistēma transformēta, izmantojot šādus parametrus:

$$x = \frac{v_{C1}}{v^*}, \quad y = \frac{v_{C2}}{v^*}, \quad z = \frac{v_{C3}}{v^*}, \quad \theta = \frac{t}{\tau}, \quad \tau = R \cdot C. \quad (2.3.)$$

Izmantojot šīs substitūcijas, sistēmu var pārrakstīt normalizētā formā kā:

$$\begin{cases} \frac{dx}{d\theta} = -x + (k_1 - 1) \cdot y - (k_1 - 1) \cdot z \\ \frac{dy}{d\theta} = -x + (k_1 - 2) \cdot y - (k_1 - 1) \cdot z \\ \frac{dz}{d\theta} = k_1 \cdot y - (k_1 + \alpha) \cdot z + \beta \cdot (z - 1) \cdot H(z - 1) \end{cases}. \quad (2.4.)$$

Ar veiktās transformācijas palīdzību iegūtā sistēma izteikta bezdimensionālos mainīgajos un laikā. Līdzīgi kā Viļņas haotiskā oscilatora gadījumā, RC haotiskā oscilatora diferenciālvienādojumi normalizētajā reprezentācijā ir labi piemēroti turpmākai digitālai realizācijai.

Kolpica haotiskais oscilators

Kolpica haotiskā oscilatora diferenciālvienādojumi transformēti, izmantojot šādus mainīgos, kas tika definēti šī darba vajadzībām:

$$\begin{aligned} i_{L1} \cdot \rho_1 &= \tilde{i}_{L1}, \quad i_B \cdot \rho_1 = \tilde{i}_B, & \frac{\omega_1}{\rho_1} &= \frac{1}{L_1}, & \epsilon &= \frac{C_2}{C_1}, \\ \frac{R_1}{\rho_1} &= \tilde{R}_1, & x &= v_{C1}, & y &= v_{C2}, & z &= \tilde{i}_{L1}, \\ \frac{R_L}{\rho_1} &= \tilde{R}_L, & \rho_1 &= \sqrt{\frac{L_1}{C_1}}, & \omega_1 &= \frac{1}{\sqrt{L_1 \cdot C_1}}, & \tau_1 &= \omega_1 \cdot t. \end{aligned} \quad (2.5.)$$

Kolpica haotiskā oscilatora vienkāršotie normalizētie vienādojumi ir šādi:

$$\begin{cases} \frac{dx}{d\tau_1} = z - \beta \cdot \tilde{i}_B \\ \frac{dy}{d\tau_1} = -\frac{V_1 + y}{\tilde{R}_1 \cdot \epsilon} + \frac{z + \tilde{i}_B}{\epsilon} \\ \frac{dz}{d\tau_1} = V_2 - x - y - z \cdot \tilde{R}_L \end{cases}. \quad (2.6.)$$

Iegūtā sistēma (2.6.), kas izteikta bezdimensionālajā laikā, tālāk izmantota digitālajai realizācijai.

2.2. Tiešā Eilera skaitliskā integrēšana

Tā kā diferenciālvienādojumi apraksta nepārtrauktā laika oscilatorus, bet uzdevums ir izstrādāt

to diskrētos analogus, nākamais solis ir diferenciālvienādojumu transformācija, lai iegūtu sistēmas diskrētos risinājumus. Šajā posmā izmantota tiešā Eilera skaitliskās integrēšanas metode, lai iegūtu aptuvenu diskrēto risinājumu ar integrēšanas soli $\Delta\theta$.

Viļņas haotiskais oscilators

Viļņas haotiskā oscilatora gadījumā, izmantojot tiešo Eilera skaitliskās integrēšanas metodi, iegūti šādi diferenču vienādojumi:

$$\begin{cases} x[n+1] = y[n] \cdot \Delta\theta + x[n] \\ y[n+1] = (a \cdot y[n] - x[n] - z[n]) \cdot \Delta\theta + y[n] \\ z[n+1] = (b + y[n] - c \cdot (e^{z[n]} - 1)) \cdot \frac{\Delta\theta}{\epsilon} + z[n] \end{cases}, \quad (2.7.)$$

kur $a = 0,5$; $b = 5,769$; $c = 9,155 \cdot 10^{-5}$; $\epsilon = 0,15$; $\Delta\theta = 2^{-10}$.

RC haotiskais oscilators

Līdzīgi RC haotiskā oscilatora diferenču vienādojumi (2.8.) tiek iegūti, lietojot tiešo Eilera skaitlisko integrēšanu vienādojumiem (2.4.).

$$\begin{cases} x[n+1] = ((k_1 - 1) \cdot y[n] - (k_1 - 1) \cdot z[n] - x[n]) \cdot \Delta\theta + x[n] \\ y[n+1] = ((k_1 - 2) \cdot y[n] - (k_1 - 1) \cdot z[n] - x[n]) \cdot \Delta\theta + y[n] \\ z[n+1] = (k_1 \cdot y[n] - (k_1 + \alpha) \cdot z[n] + \beta \cdot (z[n] - 1) \cdot H(z[n] - 1)) \cdot \Delta\theta + z[n] \end{cases}. \quad (2.8.)$$

Šajā gadījumā Hevisaida lēcienfunkcija ir:

$$H = \begin{cases} 0, & \text{if } z[n] - 1 < 0 \\ 1, & \text{if } z[n] - 1 \geq 0 \end{cases} \quad (2.9.)$$

Vienādojumi satur šādus parametrus: $k_1 = 5,5$; $\alpha = 10$; $\beta = 14,1026$; $\Delta\theta = 2^{-10}$.

Kolpica haotiskais oscilators

Kolpica haotiskā oscilatora gadījumā, izmantojot tiešo Eilera skaitliskās integrēšanas metodi, iegūta šāda diferenču vienādojumu sistēma:

$$\begin{cases} x[n+1] = (z[n] - \beta \cdot \tilde{i}_B) \cdot \Delta\theta + x[n] \\ y[n+1] = \left(-\frac{y[n] + V_1}{\tilde{R}_1 \cdot \epsilon} + \frac{z[n] + \tilde{i}_B}{\epsilon} \right) \cdot \Delta\theta + y[n] \\ z[n+1] = (V_2 - x[n] - y[n] - z[n] \cdot \tilde{R}_L) \cdot \Delta\theta + z[n] \end{cases}. \quad (2.10.)$$

Šajā gadījumā nelinearitāte ir:

$$\tilde{i}_B = \begin{cases} 0, & \text{if } -y[n] \leq V_{TH} \\ -\frac{y[n] + V_{TH}}{R_{ON}} \cdot \rho_1, & \text{if } -y[n] > V_{TH} \end{cases}. \quad (2.11.)$$

Galīgais vienādojums satur šādus parametrus: $\beta = 200$; $\epsilon = 1$; $\rho_1 = 43,033 \, \Omega$; $\tilde{R}_L = 0,9295$; $\tilde{R}_1 = 9,295$; $R_{ON} = 100 \, \Omega$; $V_1 = V_2 = 5 \, \text{V}$; $V_{TH} = 0,75 \, \text{V}$; $\Delta\theta = 2^{-10}$.

2.3. Digitālas shēmas arhitektūra

Šajā apakšnodaļā aprakstīta haotisko oscilatoru diferenču vienādojumu realizācija digitālajās shēmās, kas paredzētas *FPGA* platformai. Uzdevums ir izstrādāt vienotu projektēšanas pieeju, kas būtu piemērojama visiem trim minētajiem oscilatoriem. Digitālo shēmu arhitektūra veidota, analizējot matemātiskās operācijas diferenču vienādojumos (2.7.), (2.8.) un (2.10.) no secīga digitālas shēmas dizaina perspektīvas.

Visos trīs haotisko oscilatoru diferenču vienādojumos, kas iegūti, izmantojot tiešā Eilera skaitlisko integrēšanu, sistēma parāda, ka nākamā stāvokļa mainīgā vērtība (angļu val. *Next value*) tiek iegūta kā pašreizējā stāvokļa mainīgā vērtība (angļu val. *Current value*) plus atvasinājums (angļu val. *Derivative*), kas reizināts ar laika soli (angļu val. *Time step*).

Viļņas haotiskā oscilatora diferenču vienādojums ar izceltām operācijām:

$$\begin{cases} \underbrace{x[n+1]}_{\text{Next value}} = \underbrace{x[n]}_{\text{Current value}} + \underbrace{y[n]}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\ \underbrace{y[n+1]}_{\text{Next value}} = \underbrace{y[n]}_{\text{Current value}} + \underbrace{(a \cdot y[n] - x[n] - z[n])}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\ \underbrace{z[n+1]}_{\text{Next value}} = \underbrace{z[n]}_{\text{Current value}} + \underbrace{\left(\frac{b}{\epsilon} + \frac{1}{\epsilon} \cdot y[n] - \frac{c}{\epsilon} \cdot (e^{z[n]} - 1)\right)}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \end{cases}. \quad (2.12.)$$

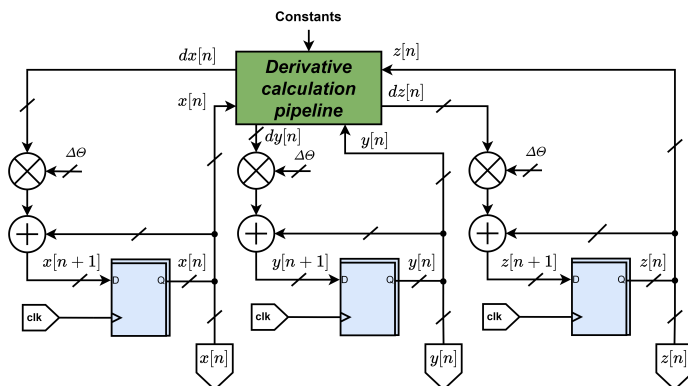
RC haotiskā oscilatora diferenču vienādojums ar izceltām operācijām:

$$\begin{cases} \underbrace{x[n+1]}_{\text{Next value}} = \underbrace{x[n]}_{\text{Current value}} + \underbrace{((k_1 - 1) \cdot y[n] - (k_1 - 1) \cdot z[n] - x[n])}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\ \underbrace{y[n+1]}_{\text{Next value}} = \underbrace{y[n]}_{\text{Current value}} + \underbrace{((k_1 - 2) \cdot y[n] - (k_1 - 1) \cdot z[n] - x[n])}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\ \underbrace{z[n+1]}_{\text{Next value}} = \underbrace{z[n]}_{\text{Current value}} + \underbrace{(k_1 \cdot y[n] - (k_1 + \alpha) \cdot z[n] + \beta \cdot (z[n] - 1) \cdot H(z[n] - 1))}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \end{cases}. \quad (2.13.)$$

Kolpica haotiskā oscilatora diferenču vienādojums ar izceltām operācijām:

$$\begin{cases}
 \underbrace{x[n+1]}_{\text{Next value}} = \underbrace{x[n]}_{\text{Current value}} + \underbrace{(z[n] - \beta \cdot \tilde{i}_B)}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\
 \underbrace{y[n+1]}_{\text{Next value}} = \underbrace{y[n]}_{\text{Current value}} + \underbrace{\left(-\frac{y[n] + V_1}{\tilde{R}_1 \cdot \epsilon} + \frac{z[n] + \tilde{i}_B}{\epsilon} \right)}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}} \\
 \underbrace{z[n+1]}_{\text{Next value}} = \underbrace{z[n]}_{\text{Current value}} + \underbrace{(V_2 - x[n] - y[n] - z[n] \cdot \tilde{R}_L)}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}}
 \end{cases} \quad (2.14.)$$

Diferenču vienādojumi tiek pārnesti digitālajā shēmā, kā parādīts 2.1. att. Arhitektūra izmanto reģistrus, lai saglabātu un atjauninātu stāvokļa mainīgos $x[n]$, $y[n]$ un $z[n]$ katrā takts signāla clk augošajā frontē. Pašreizējie stāvokļi un sistēmas konstantes apstrādāti “atvasinājumu aprēķina konvejerā” (angļu val. *Derivative calculation pipeline*), kas aprēķina atvasinājumu locekļus ar saskaņotu aizturi. Katrs atvasinājums tiek reizināts ar diskrēto laika soli $\Delta\theta$, un iegūtie pieaugumi tiek pieskaitīti pašreizējiem stāvokļa mainīgajiem, lai iegūtu nākamās iterācijas vērtības $x[n+1]$, $y[n+1]$ un $z[n+1]$. Piedāvātajā arhitektūrā katra haotiskā oscilatora implementācijas atšķirība izpaužas atvasinājumu aprēķina konvejera struktūrā.



2.1. att. Haotisko oscilatoru sistēmas vienādojumu pilnā digitālā realizācija.

Sistēma sākotnēji tika prototipēta *MATLAB* vidē, lai nodrošinātu ātru atklādošanu un verifikāciju, izmantojot fiksētā komata aritmētiku. Šī vide ļāva elastīgi optimizēt veselo un daļskaitļa bitu skaitu, kas ir kritiski svarīgi realizācijai uz *FPGA*. Lasāmatmiņā (angļu val. *read-only memory*, *ROM*) balstītā nelineāro funkciju implementācija validēta *MATLAB* vidē, ļaujot tieši atkārtoti izmantot atmiņas saturu fiziskā līmeņa arhitektūrā. Gala aparātūras konfigurācijā izmantots 22 bitu vārda garums, ko veido 8 veselo skaitļu biti un 14 daļskaitļa biti. Šāds sadalījums nodrošina nepieciešamo dinamisko diapazonu un precizitāti, lai saglabātu haotisko uzvedību.

2.4. Digitālas shēmas dizaina implementācija

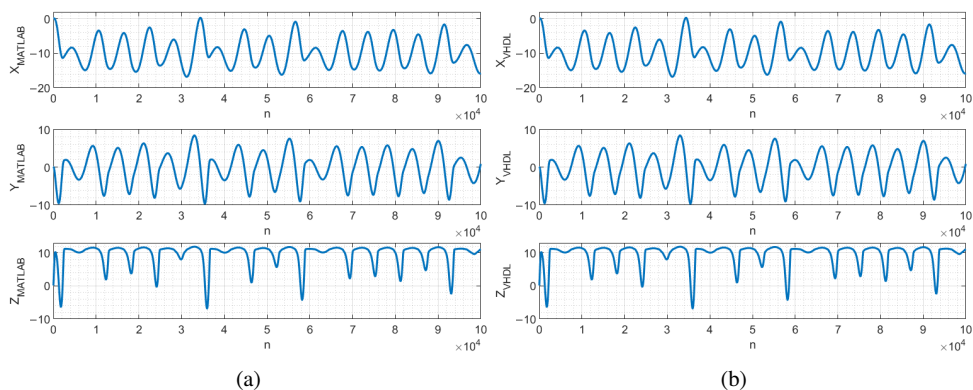
Pēc digitālas shēmas dizaina validācijas *MATLAB* vidē, sistēma tika pārnesta uz ļoti augstas veiktspējas integrēto shēmu aparatūras apraksta valoda (angļu val. *very high-speed integrated circuit (VHSIC) hardware description language, VHDL*) implementāciju *FPGA* realizācijai, un abu modeļu savstarpējā atbilstība tika verificēta. Dizains ir paredzēts *Altera Cyclone V 5CSXFC6D6F31C6* ierīcei, un resursu patēriņš, tostarp adaptīvie loģikas moduļi (angl. *adaptive logic module, ALM*), ciparu signālu apstrādes (angļu val. *digital signal processing, DSP*) bloki un bloku brīvpieejas atmiņa (angļu val. *block random access memory, BRAM*), ir apkopots 2.1. tabulā.

Rezultāti rāda, ka piedāvātie oscilatori izmanto tikai nelielu daļu no pieejamajiem *FPGA* resursiem, padarot tos piemērotus arī mazākas ietilpības ierīcēm vai integrācijai sarežģītākās sistēmās. No visiem dizainiem RC oscilatoram ir nepieciešams nedaudz lielāks *ALM* un *DSP* bloku skaits, pateicoties garākam konvejerim, savukārt Kolpica oscilatoram ir lielāks *BRAM* patēriņš vairāku *ROM* dēļ.

2.1. tabula.

Haotiskais oscilators	<i>ALM</i>	<i>FPGA</i> resursu pateriņš haotiskajiem oscilatoriem	
		<i>DSP</i> bloki	<i>BRAM</i> biti
Viļņas	67 (< 1 %)	1 (1 %)	90122 (2 %)
RC	115 (< 1 %)	5 (6 %)	90122 (2 %)
Kolpica	95 (< 1 %)	1 (1 %)	180224 (3 %)

Lai pārbaudītu, ka *VHDL* balstītais dizains precīzi atveido *MATLAB* modeļa uzvedību, veikta funkcionālā simulācija, izmantojot *Questa (ModelSim)* simulācijas rīku. Simulācijas rezultāti pēc tam eksportēti uz *MATLAB* tiešai salīdzināšanai. 2.2. att. parāda, ka pie identiskiem parametriem un sākuma nosacījumiem *MATLAB* modeļa un *VHDL* implementācijas ģenerētie signāli ir identiski un nenovirzās 10^5 takts ciklu laikā. Tas norāda, ka *MATLAB* modelis precīzi atspoguļo atbilstošā ciparu elektronikas dizaina uzvedību.



2.2. att. *MATLAB* (a) un *VHDL* (b) Viļņas haotiskā oscilatora digitālās shēmas stāvokļa mainīgo signāli.

Nākamais solis ir ciparu elektronikas dizainu realizācija fiziskajā līmenī — *5CSXFC6D6F31C6 FPGA* mikroskārmā uz *DE10-Standard* izstrādes plates. Svarīgi atzīmēt, ka šajā *FPGA* implementācijā galvenā takts frekvence un skaitliskās integrēšanas solis $\Delta\theta$ nav identiski lielumi. Sistēmas takts signāla frekvence f_{clk} nosaka aritmētisko operāciju izpildes ātrumu, savukārt $\Delta\theta$ tiek realizēts kā konstants reizinātājs diskretizētajos vienādojumos, lai kontrolētu efektīvo integrēšanas soļa lielumu.

Izstrādātie diskrētie haotiskie oscilatori kopā ar to analogajiem prototipiem izmantoti turpmākajos pētījumos. Izvēlēta diskretizācijas pieeja, kas balstīta tiešā Eilera skaitliskajā integrēšanā, ir pietiekama, lai saglabātu sākotnējo nepārtrauktā laika sistēmu kvalitatīvo dinamiku, tostarp haotisko atraktoru raksturīgo struktūru.

Turklāt atbilstība starp *MATLAB* un *VHDL* implementācijām parāda, ka fiksētā komata reprezentācija un fiziskā līmeņa realizācija neievieš būtiskus skaitliskus kropļojumus vai nestabilitāti. Attiecīgi izstrādātie diskrētie modeļi precīzi atspoguļo analogo oscilatoru uzvedību un var tikt droši izmantoti turpmākajos pētījumos, tostarp sinhronizācijas analīzē starp analogajiem un diskrētajiem haotiskajiem oscilatoriem.

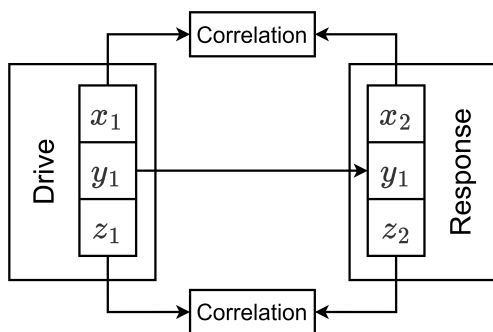
3. HAOTISKĀS SINHRONIZĀCIJAS IMPLEMENTĀCIJA UN ANALĪZE ANALOGO–DISKRĒTO SISTĒMU IETVAROS

Haotiskā sinhronizācija, neskatoties uz jutību pret sākuma nosacījumiem, ir nozīmīga lietojumos drošas sakaru sistēmās un saistītajās jomās. Mūsdienu sistēmas arvien biežāk pieprasa hibrīdu sinhronizāciju starp analogajiem oscilatoriem un diskrētajiem modeļiem vai fiziskā līmeņa realizācijām.

Šajā nodaļā pētīta divvirzienu sinhronizāciju starp analogajām un diskrētajām haotiskajām sistēmām, izmantojot *Pecora–Carroll* metodi trīs posmos: skaitliskās simulācijas, *HiL* pieeju un pilnu fiziskā līmeņa implementāciju uz *FPGA*. Sinhronizācijas veikspēja novērtēta, izmantojot Pīrsona korelācijas koeficientu, apliecinot, ka ir iespējams sasniegt stabilu sinhronizāciju, neskatoties uz kvantēšanas efektiem un fiziskā līmeņa nepilnībām.

3.1. *Pecora–Carroll* haotiskā sinhronizācija

Pirmo haotisko sistēmu sinhronizācijas metodi 1990. gadā piedāvāja Luiss M. Pekora (*Louis M. Pecora*) un Tomass L. Kerols (*Thomas L. Carroll*) savā darbā [46]. Šo sinhronizācijas paņēmieni dēvē arī par *Pecora–Carroll* sinhronizāciju. Sinhronizācijas princips ir parādīts 3.1. att. un ir šāds: vadošā (angļu val. *drive*) sistēma ģenerē haotisku signālu y_1 , kas pēc tam tiek izmantots, lai aizstātu jeb “vadītu” atbilstošo mainīgo y_2 vadamajā (angļu val. *response*) sistēmā. Rezultātā stāvokļa mainīgais x_2 atkārto x_1 , un z_2 atkārto z_1 . Sinhronizācija notiek pat tad, ja abu haotisko sistēmu sākuma nosacījumi atšķiras.



3.1. att. *Pecora–Carroll* haotiskā sinhronizācija.

Sinhronizācijas kvalitātes novērtēšanai izmantots Pīrsona korelācijas koeficients. Šis rādītājs kvantitatīvi raksturo vadošā un vadāmā oscilatora signālu līdzību. Patvaļīgiem signāliem a un b koeficientu, ko apzīmē ar r , aprēķina, izmantojot šādu vienādojumu:

$$r = \frac{\sum_{i=1}^n (a_i - \bar{a})(b_i - \bar{b})}{\sqrt{\sum_{i=1}^n (a_i - \bar{a})^2} \sqrt{\sum_{i=1}^n (b_i - \bar{b})^2}}, \quad (3.1.)$$

kur n ir nolašu skaits, a_i un b_i ir atsevišķas signālu nolases ar indeksu i , bet $\bar{a}$ un $\bar{b}$ ir šo signālu vidējās vērtības n punktu intervālā.

Pīrsona korelācijas koeficienta r vērtības ir diapazonā no -1 līdz 1 . Vērtība $r = 1$ norāda uz pilnīgu pozitīvu lineāru sakarību, kas ir invarianta pret signālu mērogošanu vai nobīdi. Turpretī $r = -1$ nozīmē pilnīgu negatīvu lineāru sakarību, savukārt $r = 0$ norāda uz pilnīgu lineārās korelācijas trūkumu starp analizētajiem signāliem.

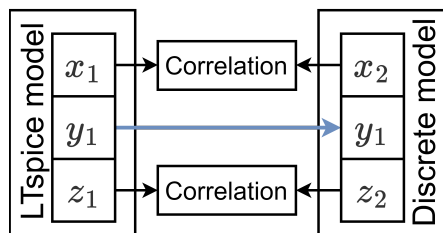
3.2. Analīze skaitlisko simulāciju ietvaros

Šajā apakšnodaļā pētīta *Pecora–Carroll* sinhronizācija starp analogajiem un diskrētajiem haotiskajiem oscilatoriem divās konfigurācijās: analogā–diskrētā un diskrētā–analogā. Pētījums galvenā uzmanība ir pievērsta skaitliskajām simulācijām, apvienojot analogo oscilatoru *LTspice* modeļus un diskrēto oscilatoru realizācijas *MATLAB* vidē.

Lai nodrošinātu savietojamību, starp bezdimensionālo un fizisko apgabalu veiktas atbilstošas transformācijas, ieskaitot amplitūdu un laika mērogošanu. Šis posms izveido pamatu hibrīdās sinhronizācijas analīzei starp analogajām un diskrētajām sistēmām.

Analogā–diskrētā sinhronizācija

3.2. att. demonstrē analogās–diskrētās sinhronizācijas konfigurāciju. *LTspice* vidē modelētā vadošā oscilatora stāvokļa mainīgais y_1 aizstāj *MATLAB* vidē realizētajā vadāmā diskrētajā oscilatorā mainīgo y_2 . Rezultātā x_2 būtu jāatkārto x_1 uzvedība, un z_2 būtu jāatkārto z_1 uzvedība. Sinhronizācijas kvalitāte tika novērtēta, izmantojot iepriekš minēto Pīrsona korelācijas koeficientu.



3.2. att. Analogā–diskrētā *Pecora–Carroll* sinhronizācija, izmantojot *LTspice* un diskrētos modeļus.

Viļņas un RC haotisko oscilatoru gadījumā izmantota tieši šī konfigurācija — sinhronizācija panākta, izmantojot y stāvokļa mainīgo kā sinhronizācijas signālu. Savukārt Kolpica haotisko oscilatoru gadījumā sinhronizācijai kā vadības signāli izmantoti stāvokļa mainīgie x , bet sinhronizācijas kvalitāte novērtēta, izmantojot y un z stāvokļa mainīgos.

Pīrsona korelācijas koeficients aprēķināts 10^6 sinhronizēto signālu nolasēm, un rezultāti ir apkopoti 3.1. tabulā. Tabulā sniegtie dati apstiprina, ka analogā–diskrētā haotiskā sinhronizācija ir sasniegta, par ko liecina Pīrsona korelācijas koeficienta vērtības, kas pārsniedz 0,9.

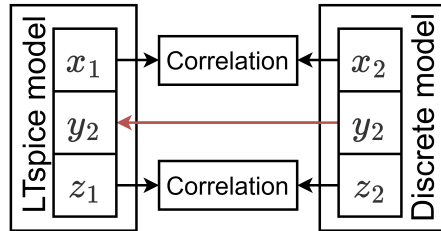
3.1. tabula.

Analogās–diskrētās sinhronizācijas novērtēšana, izmantojot Pīrsona korelācijas koeficientu

Haotiskais oscilators	x_1 un x_2	y_1 un y_2	z_1 un z_2
Viļņas	0,99	—	0,97
RC	0,99	—	0,99
Kolpica	—	0,99	0,99

Diskrētā–analogā sinhronizācija

3.3. att. demonstrē diskrētās–analogās sinhronizācijas konfigurāciju. Izmantota tā pati *Pecora–Carroll* sinhronizācijas metode, taču sinhronizācijas virziens ir pretējs salīdzinājumā ar iepriekšējo konfigurāciju. *MATLAB* vidē realizētā vadošā oscilatora stāvokļa mainīgais y_2 aizstāj y_1 *LTspice* vidē modelētajā vadāmā oscilatorā. Rezultātā x_1 būtu jāatkārto x_2 uzvedība un z_1 būtu jāatkārto z_2 uzvedība. Sinhronizācijas kvalitāte novērtēta, izmantojot Pīrsona korelācijas koeficientu.

3.3. att. Diskrētā–analogā *Pecora–Carroll* sinhronizācija, izmantojot *LTspice* un diskrētos modeļus.

Pīrsona korelācijas koeficients aprēķināts 10^6 sinhronizēto signālu nolasēm. Rezultāti visiem trim haotiskajiem oscilatoriem ir apkopoti 3.2. tabulā. Tajā sniegtie dati apstiprina, ka diskrētā–analogā haotiskā sinhronizācija tika sasniegta visiem trim haotiskajiem oscilatoriem, par ko liecina Pīrsona korelācijas koeficienta vērtības, kas pārsniedz 0,9.

3.2. tabula.

Diskrētās–analogās sinhronizācijas novērtēšana, izmantojot Pīrsona korelācijas koeficientu

Haotiskais oscilators	x_1 un x_2	y_1 un y_2	z_1 un z_2
Viļņas	0,99	—	0,97
RC	0,99	—	0,99
Kolpica	—	0,99	0,99

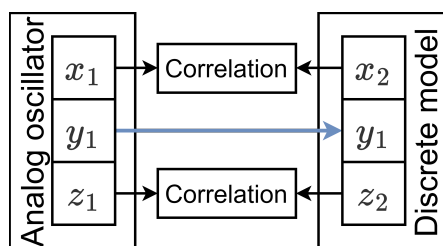
3.3. *HiL* pieejā balstīts pētījums

Nākamajā solī skaitliskie modeļi aizstāti ar fiziskiem oscilatoriem, kas izveidoti uz *PCB*, veidojot aparātūras un modeļa kopdarbības *HiL* struktūru, kur aparātūra tiek sasaistīta ar *MATLAB* modeļiem. Novērtētas gan analogā–diskrētā, gan diskrētā–analogā sinhronizācijas konfigurācijas.

Lai nodrošinātu savietojamību, veiktas normalizācijas un apgrieztās transformācijas, sasaistot signālus starp bezdimensionālo un fizisko apgabalu. Tas ļauj saglabāt pareizas amplitūdas un laika mērogos visā hibrīdajā saskarnē.

Analogā–diskrētā sinhronizācija

Blokshēma analogās–diskrētās sinhronizācijas iespējamības pētīšanai ir redzama 3.4. att. Fiziskā vadošā oscilatora stāvokļa mainīgais y_1 aizstāj *MATLAB* vidē realizētajā vadāmā diskrētā laika oscilatora mainīgo y_2 . Rezultātā x_2 būtu jāatkārto x_1 uzvedība un z_2 būtu jāatkārto z_1 uzvedība. Sinhronizācijas kvalitāte novērtēta, izmantojot Pīrsona korelācijas koeficientu.



3.4. att. Analogā oscilatora un diskrētā modeļa analogā–diskrētā *Pecora–Carroll* sinhronizācija.

Pīrsona korelācijas koeficients aprēķināts 10^6 sinhronizēto signālu nolasēm analogā–diskrētā sinhronizācijas gadījumā, un rezultāti ir parādīti 3.3. tabulā. Šie rezultāti apstiprina, ka analogā–diskrētā haotiskā sinhronizācija ir sasniegta, par ko liecina Pīrsona korelācijas koeficienta vērtības, kas visiem aplūkotajiem haotisko oscilatoru stāvokļa mainīgajiem pārsniedz 0,9.

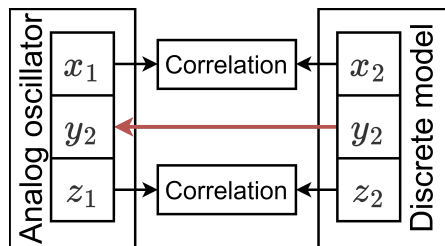
3.3. tabula.

Analogās–diskrētās sinhronizācijas novērtēšana, izmantojot Pīrsona korelācijas koeficientu

Haotiskais oscilators	x_1 un x_2	y_1 un y_2	z_1 un z_2
Viļņas	0,99	—	0,95
RC	0,97	—	0,99
Kolpica	—	0,98	0,99

Diskrētā–analogā sinhronizācija

Blokshēma diskrētās–analogās sinhronizācijas iespējamības pētīšanai ir parādīta 3.5. att. Fiziskā oscilatora stāvokļa mainīgais y_2 aizstāj diskrētā modeļa mainīgo y_1 . Rezultātā x_1 būtu jāatkārto x_2 uzvedība un z_1 būtu jāatkārto z_2 uzvedība. Tāpat kā iepriekšējā pētījumā, sinhronizācijas kvalitāte novērtēta, aprēķinot Pīrsona korelācijas koeficientu starp x_1 un x_2 , kā arī starp z_1 un z_2 .



3.5. att. Analogā oscilatora un diskretā modeļa diskretā–analogā *Pecora–Carroll* sinhronizācija.

Pīrsona korelācijas koeficients aprēķināts 10^6 sinhronizēto signālu nolasēm diskrētās–analogās sinhronizācijas gadījumā, un rezultāti ir apkopoti 3.4. tabulā. Visos gadījumos koeficients sasniedz vai pārsniedz 0,9, apstiprinot augstu diskrētās–analogās sinhronizācijas kvalitāti.

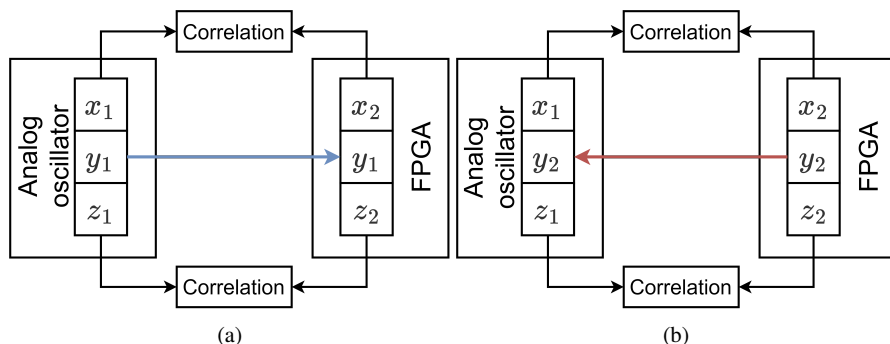
3.4. tabula.

Diskrētās–analogās sinhronizācijas novērtēšana, izmantojot Pīrsona korelācijas koeficientu			
Haotiskais oscilators	x_1 un x_2	y_1 un y_2	z_1 un z_2
Viļņas	0,99	—	0,90
RC	0,99	—	0,99
Kolpica	—	0,98	0,99

3.4. Pilna fiziskā līmeņa integrācija

Šajā apakšnodaļā verificēta analogā–diskrētā un diskrētā–analogā sinhronizācija starp analogajiem oscilatoriem izveidotiem uz *PCB* un diskrētiem oscilatoriem, kas izveidoti uz *FPGA*, kā parādīts 3.6. att. Abās konfigurācijās sinhronizācija panākta, izmantojot *Pecora–Carroll* metodi, aizstājot atbilstošo stāvokļa mainīgo.

Analogajā–diskrētajā gadījumā (3.6a. att.) fiziskais analogais oscilators vada *FPGA* realizēto diskreto oscilatoru, savukārt apgrieztajā konfigurācijā (3.6b. att.) lomas tiek mainītas. Katrā gadījumā pārējie stāvokļa mainīgie konverģē uz saskaņotu uzvedību. Sinhronizācijas kvalitāte novērtēta, izmantojot Pīrsona korelācijas koeficientu.



3.6. att. Analogā–diskrētā (a) un diskrētā–analogā (b) *Pecora–Carroll* sinhronizācija.

3.5. un 3.6. tabulā ir apkopoti korelācijas koeficienti Viļņas, RC un Kolpica oscilatoriem diskrētās–analogās un analogās–diskrētās sinhronizācijas gadījumos. Koeficienti, kas pārsniedz 0,9, apstiprina veiksmīgu sinhronizāciju starp analogajiem un *FPGA* realizētiem diskrētiem oscilatoriem. Nelielās neatbilstības izraisa parametru nesakritības un trokšņi, kuru ietekme aplūkota nākamajā nodaļā.

3.5. tabula.
Sinhronizācijas novērtēšana, izmantojot korelācijas koeficientu

Haotiskais oscilators	Diskrētā–analogā sinhronizācija		Analogā–diskrētā sinhronizācija	
	x_1 un x_2	z_1 un z_2	x_1 un x_2	z_1 un z_2
Viļņas	0,97	0,98	0,93	0,92
RC	0,72	0,97	0,89	0,90

3.6. tabula.
Sinhronizācijas novērtēšana, izmantojot korelācijas koeficientu

Haotiskais oscilators	Diskrētā–analogā sinhronizācija		Analogā–diskrētā sinhronizācija	
	y_1 un y_2	z_1 un z_2	y_1 un y_2	z_1 un z_2
Kolpica	0,93	0,97	0,91	0,96

3.5. Diskusija

Šajā nodaļā sekmīgi demonstrēta hibrīdā analogā–diskrētā un diskrētā–analogā haotiskā sinhronizācija, izmantojot dažādas platformas. Galvenie secinājumi ir šādi:

- **Pecora–Carroll metodes robustums** – substitūcijas metode konsekventi nodrošināja augstu korelāciju ($r > 0,9$) Viļņas, RC un Kolpica oscilatoriem abās vadošais–vadāmais konfigurācijās;
- **starpdomēnu savietojamība** – mērogošanas transformācijas sprieguma pārvēršanai bezdimensionālos lielumos un laika kartēšana ļauj diskrētajiem modeļiem precīzi sekot fiziskajām shēmām;
- **fiziskā līmeņa un *FPGA* realizācija** – veiksmīga sinhronizācija starp *PCB* un *FPGA* realizācijām apstiprina praktisko ietojamību, neskatoties uz nelielām novirzēm, ko rada parametru neatbilstības un kvantēšana;
- **metrikas pamatotība** – Pīrsona korelācijas koeficients pierādīja savu uzticamību kā mērs, saglabājot invarianci pret nobīdēm, kas raksturīgas analogciparu pārveidei.

Šie rezultāti veido pamatu hibrīdām haotiskās komunikācijas sistēmām, kas izmanto gan analogos, gan diskrētos oscilatorus.

4. ANALOGĀS–DISKRĒTĀS UN DISKRĒTĀS–ANALOGĀS HAOTISKĀS SINHRONIZĀCIJAS VEIKTSPĒJAS ANALĪZE

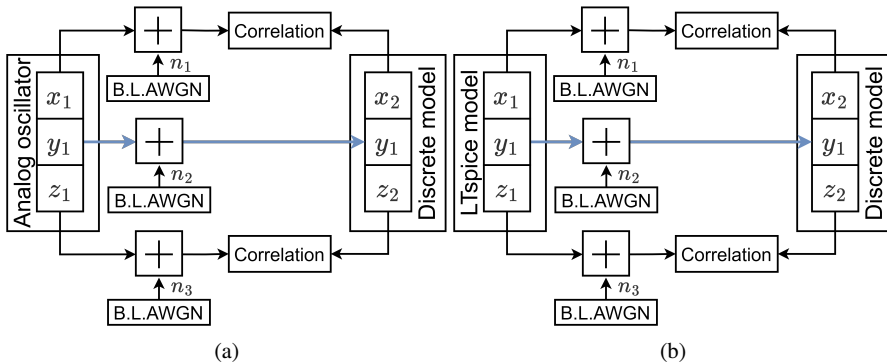
Šajā nodaļā pētīta hibrīdās analogās–diskrētās un diskrētās–analogās *Pecora–Carroll* sinhronizācijas trokšņnoturība un sinhronizācijas ātrums. Šie faktori ir būtiski, lai novērtētu sistēmu robustumu reālās vides apstākļos. Izmantojot *LTspice*, *MATLAB* un fiziskā līmeņa prototipus, pētījumā salīdzināti Viļņas un RC oscilatori, lai analizētu aditīvā trokšņa ietekmi uz sinhronizācijas kvalitāti un laika parametriem. Iegūtie rezultāti sniedz ieskatu hibrīdo haotisko konfigurāciju uzticamībā, stabilitātē un realizācijas kompromisos.

4.1. Sinhronizācijas trokšņnoturība

Šajā pētījumā novērtēta *Pecora–Carroll* sinhronizācijas trokšņnoturība, lai noteiktu, kā trokšnis ietekmē sinhronizācijas kvalitāti dažādās konfigurācijās. Izmantojot *LTspice*, diskrētos modeļus un fiziskā līmeņa prototipus, analizē galvenā uzmanība pievērsta Viļņas un RC oscilatoriem. Turpmākajās apakšnodaļās detalizēti aprakstītas simulāciju un eksperimentu uztādījumi, kā arī analizēti iegūtie veiktspējas dati.

Analogā–diskrētā sinhronizācija

Pētījuma pirmajā daļā novērtēta analogās–diskrētās sinhronizācijas trokšņnoturība, izmantojot 4.1. att. parādīto eksperimentālo blokskāmu. Vadošā sistēma realizēta kā *LTspice* modelis vai fizisks analogais oscilators, savukārt vadāmā sistēma ir diskrētais modelis. Vadošās sistēmas haotiskajiem signāliem pievienots neatkarīgs joslā ierobežots aditīvais baltais Gausa trokšnis (angļu val. *band-limited additive white Gaussian noise, B.L.AWGN*), izmantojot zemfrekvences filtrēšanu, kas saskaņota ar signāla joslas platumu. Tas ļauj analizē koncentrēties uz trokšni signāla joslas ietvaros, kam ir visbūtiskākā ietekme uz sinhronizācijas veiktspēju.



4.1. att. Haotiskā oscilatora diskrētā modeļa sinhronizācija *LTspice* modeli (a) un analogo oscilatoru (b).

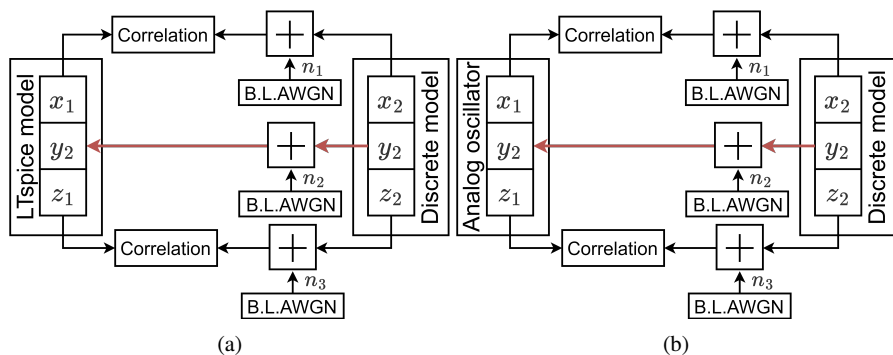
Pievienotais trokšnis ietekmē sinhronizācijas kvalitāti, izraisot tās pasliktināšanos, palielinoties trokšņa jaudai attiecībā pret signāla jaudu. Šajā darbā izmantota signāla un trokšņa attiecība (angļu val. *signal-to-noise ratio*, *SNR*), kas definēta kā:

$$SNR = 10 \cdot \log_{10} \left(\frac{P_{\text{signal}}}{P_{\text{noise}}} \right), \quad (4.1.)$$

kur P_{signal} un P_{noise} ir attiecīgi signāla un trokšņa vidējās jaudas.

Diskrētā–analogā sinhronizācija

Pētījuma otrā daļa ir vērsta uz diskrētā–analogās sinhronizācijas trokšņnoturības novērtēšanu. 4.2. att. parāda eksperimentālo blokshēmu. Šajā gadījumā vadošais haotiskais oscilators ir izveidots vai nu kā *LTspice* modelis, vai kā fizisks analogais oscilators. Tāpat kā pētījuma pirmajā daļā, vadošā oscilatora haotiskajiem signāliem tiek pievienots *B.L.AWGN*.

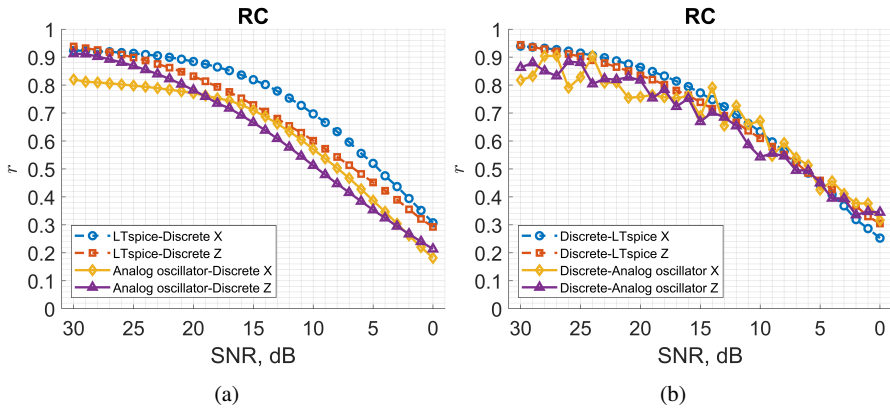


4.2. att. Haotiskā oscilatora *LTspice* modeļa (a) un fiziskā prototipa (b) sinhronizācija ar diskrēto modeli.

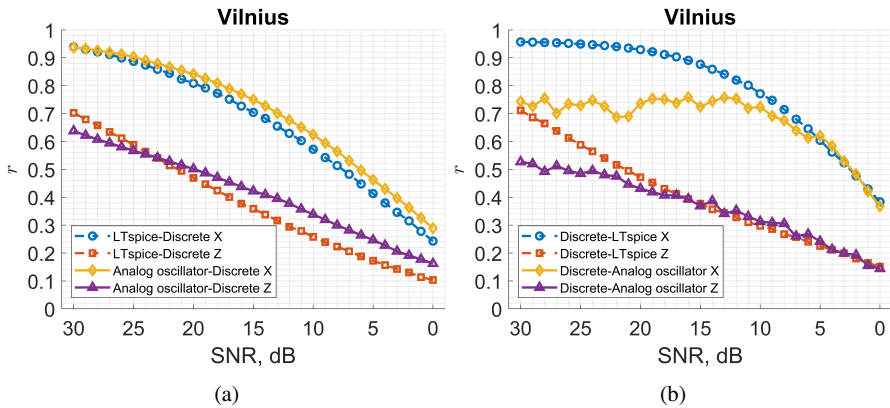
Pētījuma rezultāti

Šajā apakšnodaļā ir apkopoti analogās–diskrētās un diskrētās–analogās sinhronizācijas trokšņnoturības rezultāti, grupējot tos pēc oscilatora tipa. Kā redzams 4.3. att. (RC) un 4.4. att. (Viļņas), korelācijas līmeņi pie 30 dB *SNR* parasti ir robežās no 0,8 līdz 0,95, savukārt pie 0 dB *SNR* tie samazinās līdz 0,1–0,2. Īpaši cieša atbilstība starp *LTspice* un fiziskā līmeņa rezultātiem apstiprina, ka *LTspice* precīzi prognozē analogo oscilatoru sinhronizācijas veiktspēju, un nelielās novirzes galvenokārt rodas no fiziskā līmeņa raksturīgā trokšņa un parametru neatbilstībām.

RC oscilatoram (4.3a. att. un 4.3b. att.) *x* un *z* stāvokļa mainīgie uzrāda līdzīgu uzvedību abās sinhronizācijas konfigurācijās. Turpretim Viļņas oscilatora rezultāti (4.4a. att. un 4.4b. att.) liecina, ka *z* mainīgais ir jutīgāks pret trokšņiem tā signālu formas specifikas dēļ. Kopumā RC oscilators demonstrē augstāku sinhronizācijas stabilitāti visos stāvokļa mainīgajos, salīdzinot ar Viļņas oscilatoru.



4.3. att. Analogā–diskrētā (a) un diskrētā–analogā (b) RC haotiskā oscilatora sinhronizācijas trokšņnoturības rezultāti.

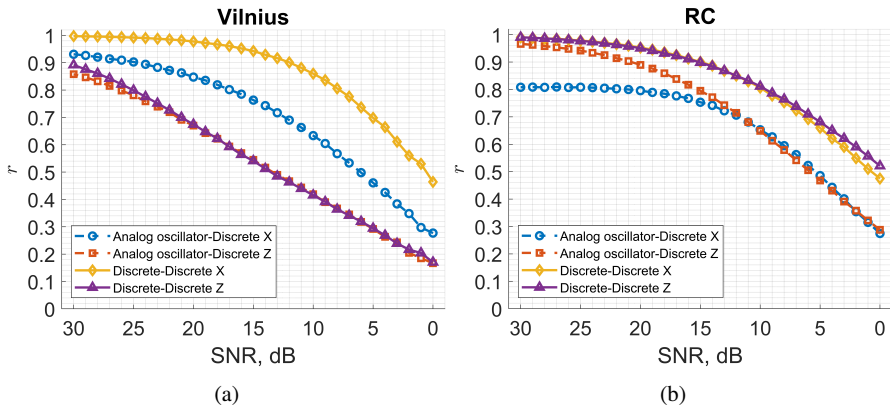


4.4. att. Analogā–diskrētā (a) un diskrētā–analogā (b) Viļņas haotiskā oscilatora sinhronizācijas trokšņnoturības rezultāti.

Diskrēts–diskrētās sinhronizācijas salīdzinājums

Šajā apakšnodaļā salīdzināta diskrēts–diskrētās un analogās–diskrētās sinhronizācijas trokšņnoturība Viļņas un RC oscilatoriem. Izmantojot Pīrsona korelācijas koeficientu r plašā SNR diapazonā, rezultāti 4.5. att. uzrāda monotonu sinhronizācijas kvalitātes pasliktināšanos, palielinoties trokšņa līmenim.

Diskrēts–diskrētā konfigurācija uzrāda labāku veiktspēju nekā analogā–diskrētā, pateicoties ideālai parametru sakritībai. Turpretim analogo–diskrēto sinhronizāciju ietekmē modeļu neatbilstības un parazītiskām parādībām fiziskajā līmenī. Neskatoties uz šiem ierobežojumiem, analogā–diskrētā konfigurācija saglabā noturību, nodrošinot $r > 0,5$ pie SNR līmeņiem virs 12 dB.



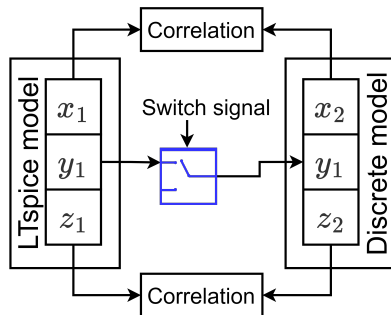
4.5. att. Viļņas (a) un RC (b) haotisko oscilatoru analogās–diskrētās un diskrētās–diskrētās sinhronizācijas trokšņnoturība.

4.2. Sinhronizācijas un desinhronizācijas laiks

Otrais pētījums par *Pecora–Carroll* analogās–diskrētās un diskrētās–analogās sinhronizācijas veikspēju ir vērsts uz sinhronizācijas un desinhronizācijas laiku. Šajā pētījumā novērtēts laiks, kas nepieciešams sinhronizācijas izveidei un tās zudumam (desinhronizācijai) pie 30 dB SNR līmeņa.

Analogās–diskrētās un diskrētās–analogās modeļēšanas un eksperimentālie uzstādījumi

Šajā pētījumā tiek ieviests slēdzis, kas kontrolē sinhronizācijas signāla padeves brīdi. 4.6. att. parādīts analogās–diskrētās sinhronizācijas piemērs, kur sinhronizācijas signāls tiek padots uz vadāmo slēdzi pirms tā nogādāšanas diskrētajā modelī.



4.6. att. Haotiskā oscilatora diskrētā un *LTspice* modeļa sinhronizācijas shēma ar slēdzi sinhronizācijas un desinhronizācijas laika mērīšanai.

Sinhronizācijas laiks tiek definēts kā intervāls no sinhronizācijas sākuma līdz brīdim, kad korelācija sasniedz 80% no tās maksimālā līmeņa. Turpretim desinhronizācijas laiks tiek mērīts no pārtraukšanas brīža līdz korelācijas kritumam līdz 20% no maksimālā līmeņa. Visas vērtības ir vidējie rezultāti no 10 mēģinājumiem.

Pētījuma rezultāti

Šajā apakšnodaļā analizēts Viļņas un RC oscilatoru sinhronizācijas un desinhronizācijas laiks divās dažādās konfigurācijās. Izmantojot bezdimensionālu laika skalu, 4.1. tabulā ir izceltas veikspējas atšķirības starp analogo–diskrēto un diskrēto–analogo uzstādījumiem. Rezultāti rāda, ka analogās–diskrētās sinhronizācijas laiki kopumā ir mazāki, īpaši Viļņas oscilatoram, kas liecina, ka diskrētā sistēma efektīvāk izseko analogajam vadošajam signālam. Turpretim diskrētās–analogās vērtības ir ievērojami augstākas, norādot, ka analogā shēma nostabilizējas lēnāk, ja to ierosina diskrētā oscilatora signāli.

Apvienotajos datos ir redzamas arī neatbilstības starp simulāciju un aparatūras mērījumiem. Viļņas oscilatoram aparatūras z mainīgā desinhronizācijas laiks (1,55) ir būtiski mazāks nekā $LTspice$ prognozētais (8,74), kas liecina, ka fiziskās slāpēšanas īpašības palielina sistēmas noturību. Turpretim RC oscilatora x mainīgajam fiziskajā līmenī sinhronizācijas laiks (3,29) ir vairāk nekā trīs reizes lielāks par simulācijā iegūto (1,04), ilustrējot, ka fiziskā RC ķēde stabilu sinhronizācijas stāvokli sasniedz grūtāk nekā idealizēti modeļi.

4.1. tabula.

Sinhronizācijas un desinhronizācijas laiku (θ) salīdzinājums analogās–diskrētās un diskrētās–analogās konfigurācijās

Oscilators	Main.	Analogā–diskrētā sinhronizācija				Diskrētā–analogā sinhronizācija			
		$LTspice$		Fiziskā realizācija		$LTspice$		Fiziskā realizācija	
		Sinhr	Desinhr	Sinhr	Desinhr	Sinhr	Desinhr	Sinhr	Desinhr
Viļņas	x	0,77	0,64	0,67	0,70	3,71	8,55	2,99	1,72
	z	1,00	0,50	1,00	0,33	2,37	8,74	4,85	1,55
RC	x	1,20	0,55	2,21	0,40	0,97	0,20	1,08	0,11
	z	0,97	0,20	1,08	0,11	1,04	1,52	3,29	0,76

4.3. Diskusija

Šajā nodaļā ietvertais apstiprina, ka hibrīdās analogās–diskrētās un diskrētās–analogās sinhronizācijas shēmas saglabā noturību trokšņu vidē, veikspējai paredzami pasliktinoties, samazinoties SNR līmenim. RC oscilators visos stāvokļa mainīgajos uzrāda augstāku trokšņnoturību nekā Viļņas oscilators. Rezultātā izveidojas skaidra veikspējas hierarhija: diskrētā–diskrētā sinhronizācija ir visnoturīgākā ideālas parametru sakrītības dēļ, savukārt analogās–diskrētās konfigurācijas saglabā praktisku lietojamību par spīti modeļu neatbilstībām un analogās daļas neidealitātēm.

Laika analīze liecina, ka analogā–diskrētā sinhronizācija nodrošina straujāku konvergenci, turpretim diskrētai–analogajai konfigurācijai raksturīga lēnāka dinamika un paaugstināta jutība pret fiziskā līmeņa nepilnībām. Atšķirības starp $LTspice$ simulācijām un fiziskā līmeņa realizāciju izceļ parazītisko parametru un slāpēšanas ietekmi. Šie rezultāti sniedz visaptverošu hibrīdo haotisko sistēmu novērtējumu, piedāvājot ietvaru līdzsvara atrašanai starp precizitāti, robustumu un implementācijas sarežģītību.

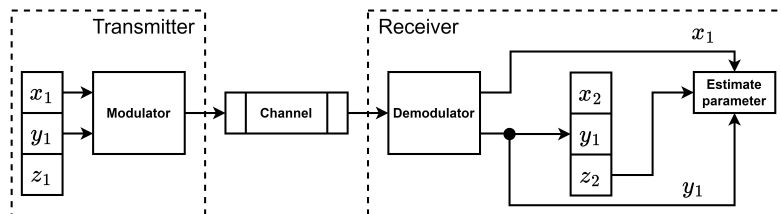
5. HAOSĀ BALSTĪTA AUTENTIFIKĀCIJA

Mūsdienu sakaru drošības risinājumos arvien biežāk izmanto fiziskā slāņa autentifikācija (angļu val. *physical-layer authentication, PLA*) kā uzticamu, fiziskā līmeņa papildinājumu tradicionālajai kriptogrāfijai. Izmantojot haotisko oscilatoru unikālo dinamiku (īpaši to jutību pret parametriem un troksnim līdzīgo signālu raksturu) *PLA* veido drošības barjeru, kuru ir grūti pārvarēt.

Šajā nodaļā ir detalizēti aprakstīta fiziskā līmeņa efektīva autentifikācijas shēma, kurā izmantots Viļņas haotiskais oscilators un uztvērējs, kas spēj izsekot raidītāja dinamikai ar haotiskās sinhronizācijas palīdzību. Sniegts matemātiskais pamatojums un konveijerizēta (angļu val. *pipelined*) *FPGA* realizācija adaptīvajam mazāko vidējo kvadrātu (angļu val. *least mean squares, LMS*) filtram, kas ir izstrādāts oscilatora parametra a novērtēšanai. Pētījuma noslēgumā veikta visaptveroša novērtētāja (angļu val. *estimator*) digitālās realizācijas veikspējas analīze.

5.1. Haotiskā oscilatora parametru novērtētājā balstīta fiziskā līmeņa autentifikācijas shēma

Šajā nodaļā piedāvāta haosā balstīta *PLA* shēma bezvadu sensoru tīkliem (angļu val. *wireless sensor network, WSN*). Sekmīga datu pārraide balstās haotiskajā sinhronizācijā. Lai gan haotiskie nesējsignāli uzlabo drošību fiziskajā līmenī, ar sinhronizāciju vien nepietiek, lai novērstu neautorizētu piekļuvi, ja uztvērējs (angļu val. *receiver*) pieslēdzas līdzīgam oscilatoram. Tas rada nepieciešamību pēc mehānisma, kas ļautu atšķirt raidītājus (angļu val. *transmitters*). Tā kā oscilatoru dinamiku nosaka konkrēti parametrizēti vienādojumi, piedāvāta autentifikācijas shēma, kas parādīta 5.1. att., balstās tajā, ka uztvērējs novērtē vismaz vienu raidītāja haotiskā oscilatora iekšējo parametru.



5.1. att. Piedāvātā haosā balstītā autentifikācijas shēma.

5.1. att. parāda, ka raidītājs nosūta signālus x_1 un y_1 , kur y_1 tiek izmantots *Pecora–Carroll* sinhronizācijai. Uztvērējs izmanto saņemtos signālus x_1 , y_1 un lokālo mainīgo z_2 , lai novērtētu raidītāja parametru. Sinhronizācija nodrošina to, ka z_2 atkārtos z_1 , tādējādi novēršot nepieciešamību pārraidīt visus trīs haotiskos signālus.

Šī sistēma papildina esošās haosā balstītas modulācijas shēmas, nodrošinot raidītāja identifikāciju ar kontroles parametra palīdzību pirms datu pārraides uzsākšanas. Lai novērstu identitātes viltošanu (angļu val. *spoofing*) publiskajos kanālos, šis parametrs ir dinamiski jāmaina saskaņā ar

iepriekš noteiktu algoritmu. Turpmākajās nodaļās tiek detalizēti aprakstīta šī novērtētāja realizācija un analīze Viļņas haotiskajam oscilatoram.

5.2. Viļņas haotiskā oscilatora parametra novērtētājs

Parametra novērtētāja izstrādes pirmais solis ir izvēlēties haotiskā oscilatora parametru, kas tiks novērtēts, balstoties diferenciālvienādojumiem:

$$\begin{cases} \underbrace{x[n+1]}_{\text{Next value}} = \underbrace{x[n]}_{\text{Current value}} + \underbrace{y[n]}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}}, \\ \underbrace{y[n+1]}_{\text{Next value}} = \underbrace{y[n]}_{\text{Current value}} + \underbrace{(a \cdot y[n] - x[n] - z[n])}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}}, \\ \underbrace{z[n+1]}_{\text{Next value}} = \underbrace{z[n]}_{\text{Current value}} + \underbrace{\left(\frac{b}{\varepsilon} + \frac{1}{\varepsilon} \cdot y[n] - \frac{c}{\varepsilon} \cdot (e^{z[n]} - 1)\right)}_{\text{Derivative}} \cdot \underbrace{\Delta\theta}_{\text{Time step}}. \end{cases} \quad (5.1.)$$

Analizējot sistēmu (5.1.), redzams, ka novērtēšanai vispiemērotākais parametrs ir a no diferenciālvienādojuma otrā locekļa, ko var izteikt šādi:

$$a_{estimated}[n] = \frac{\frac{y[n+1]-y[n]}{\Delta\theta} + x[n] + z[n]}{y[n]} \quad (5.2.)$$

Izvēles priekšrocība ir tāda, ka vienādojums satur tikai vienu parametru un signālu sakarības ir lineāras, atšķirībā no citiem sistēmas (5.1.) locekļiem.

Parametra novērtētāja digitālā realizācija

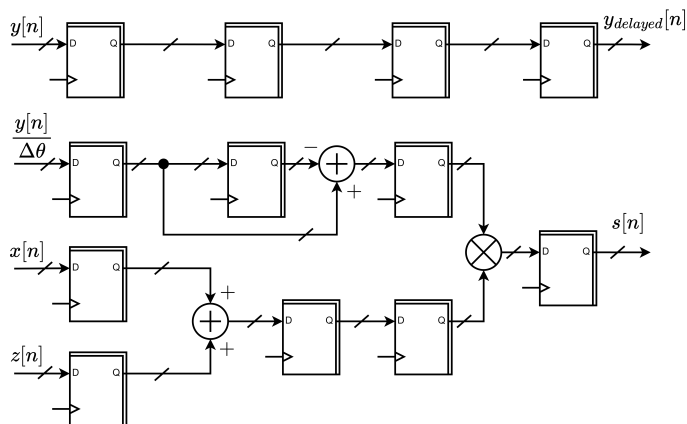
Parametra a novērtētāja digitālā realizācija ir sadalīta divās komponentēs: vispirms tiek iegūts skaitītājs no (5.2.):

$$s[n] = \frac{y[n+1] - y[n]}{\Delta\theta} + x[n] + z[n], \quad (5.3.)$$

otrkārt, novērtētā a vērtība tiek iegūta no izteiksmes:

$$a_{estimated}[n] = \frac{s[n]}{y[n]}. \quad (5.4.)$$

Pirmās komponentes digitālā realizācija, kas parādīta 5.2. att., izmanto fiksētā komata aritmētikas konveijeru. Vērtība $s[n]$ aprēķināta no $x[n]$, $z[n]$ un $\frac{y[n]}{\Delta\theta}$ saskaņā ar vienādojumu (5.3.). Tā kā laika solis ir divnieka pakāpe, dalīšana $\frac{y[n]}{\Delta\theta}$ efektīvi realizēta, izmantojot bitu nobīdi (angļu val. *bit shifting*). Šis process ietver četrus reģistrus, radot četru takts ciklu aizturi. Lai nodrošinātu, ka $s[n]$ un $y[n]$ saglabājas fāzē vienādojuma (5.4.) aprēķinam, izmantota digitālā aiztures līnija, kas ģenerē sinhronizēto signālu $y_{delayed}[n]$.



5.2. att. Digitālā konveijera dizains a parametra novērtētāja skaitītāja daļas iegūšanai.

Otrās komponentes digitālā realizācija ir sarežģītāka, jo signālu dalīšanu nevar veikt vienā takts ciklā. Tā vietā tiek izmantots adaptīvais *LMS* filtrs (Vīnera filtrs ar minimālo vidējo kvadrātisko kļūdu (angļu val. *minimum mean squared error, MMSE*)), lai iegūtu $a_{estimated}[n]$. Izmantojot $y_{delayed}[n]$, sakarību no vienādojuma (5.4.) var izteikt šādi:

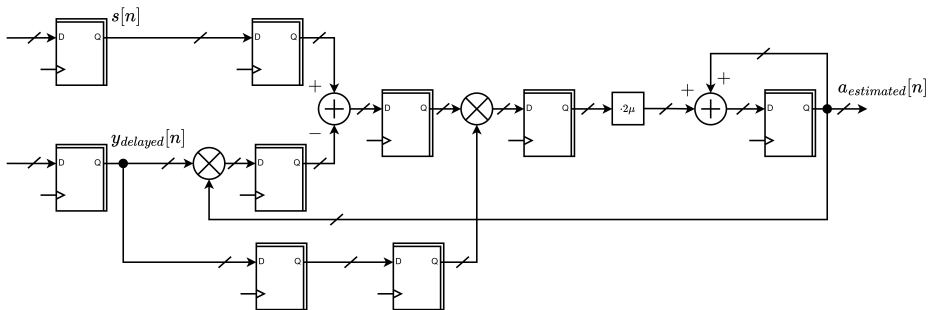
$$a_{estimated}[n] \cdot y_{delayed}[n] = s[n] \quad (5.5.)$$

Tādējādi $a_{estimated}[n]$ var aprēķināt, izmantojot stohastisko gradientu:

$$a_{estimated}[n+1] = a_{estimated}[n] + 2\mu \cdot y_{delayed}[n] \cdot (s[n] - a_{estimated}[n] \cdot y_{delayed}[n]) \quad (5.6.)$$

Konstante μ apzīmē adaptācijas soli jeb konverģences ātrumu, kas nosaka, cik ātri algoritms sasniedz Vīnera *MMSE* risinājumu. Tā ir rūpīgi jāizvēlas: pārāk maza μ vērtība izraisa lēnu konverģenci, savukārt pārāk liela vērtība rada izejas signāla oscilācijas.

5.3. att. parādīta *LMS* adaptīvā filtra digitālā realizācija, kas balstīta vienādojumā (5.6.). Filtrs izmanto konveijerizētu atgriezeniskās saites struktūru, saņemot $s[n]$ un $y_{delayed}[n]$ no skaitītāja konveijera. Lai optimizētu fiksētā komata aritmētiku, konverģences konstante 2μ ir iestatīta kā 1×10^{-5} un noapaļota uz leju līdz tuvākajai divnieka pakāpei, tādējādi aizstājot reizināšanu ar bitu bīdi. Mazā soļa dēļ $a_{estimated}[n]$ tiek izmantots formāts ar 4 veselo skaitļu un 20 daļskaitļa bitiem.

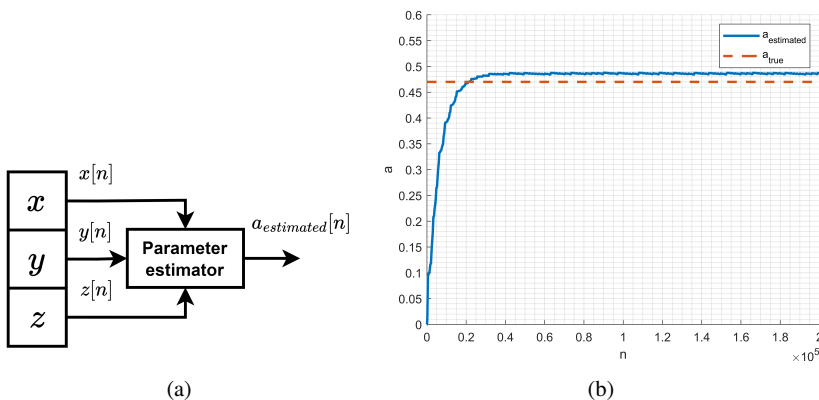


5.3. att. Parametra a novērtēšanai paredzētā LMS adaptīvā filtra digitālā realizācija.

Veiktspējas novērtējums

Šajā apakšnodaļā vērtēta Viļņas haotiskajam oscilatoram izstrādātā parametru novērtētāja veiktspēja. Sākotnējā pārbaude, kas ilustrēta 5.4. att., izmanto 5.4a. att. blokshēmu, kur diskrētie signāli $x[n]$, $y[n]$ un $z[n]$ tiek nodoti novērtētājam ar fiksētu parametra a vērtību 0,47.

Kā redzams 5.4b. att., $a_{estimated}[n]$ strauji konverģē no nulles līdz stabilai vērtībai 0,485 aptuveni 4×10^4 takts ciklu laikā, uzrādot minimālas pulsācijas. Lai gan iegūtā vērtība ir tuva patiesajai (atzīmēta ar raustītu līniju), nelielā novirze rodas tāpēc, ka LMS algoritms konverģē uz labāko lineāro $MMSE$ novērtējumu mainīgajam $s[n]$ no $y_{delayed}[n]$, nevis uz precīzu fizisko parametra vērtību.

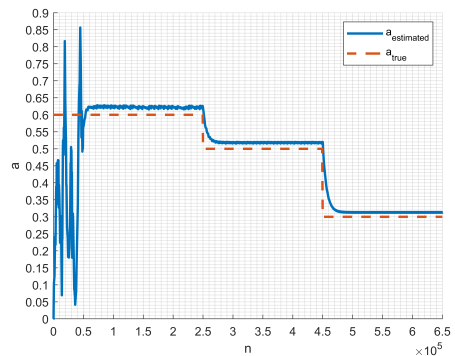
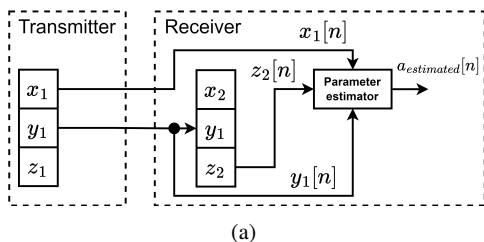


5.4. att. Parametra a novērtētāja pārbaudes eksperimentālais uzstādījums (a) un parametra a novērtētāja izejas signāls (b).

Otrajā pārbaudē vērtēta novērtētāja spēja izsekot raidītāja parametram a , kamēr uztvērējs ir sinhronizēts, izmantojot *Pecora-Carroll* pieeju. Kā redzams pārbaudes uzstādījumā 5.5a. att., raidītājs nosūta $x_1[n]$ un $y_1[n]$ signālus uztvērējam; sinhronizācija tiek uzsākta pēc 5×10^4 takts cikliem. Uztvērējs izmanto saņemtos $x_1[n]$, $y_1[n]$ un lokālo mainīgo $z_2[n]$, lai novērtētu raidītāja parametru. Šī konfigurācija tieši realizē 5.1. att. piedāvāto autentifikācijas shēmu. Kamēr uztvērēja iekšējais parametrs a paliek fiksēts (0,47), raidītāja parametrs pēc sinhronizācijas ik pēc 2×10^5 takts cikliem

tiek pakāpeniski mainīts uz vērtībām 0,6, 0,5 un 0,3.

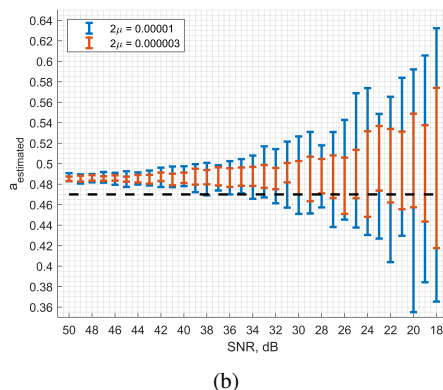
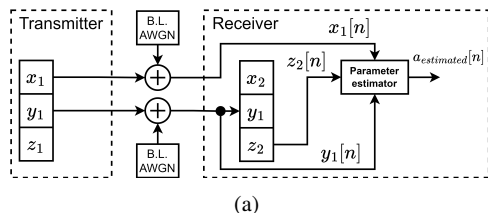
5.5b. att. demonstrē $a_{estimated}[n]$ izejas signālu. Pirmo 5×10^4 takts ciklu laikā oscilatori darbojas asinhroni, un, kā paredzēts, $a_{estimated}[n]$ vērtība ir nestabila. Tiklīdz tiek sasniegta sinhronizācija, novērtētājs veiksmīgi izseko raidītāja parametram a , sasniedzot stabilus līmeņus attiecīgi pie vērtībām 0,61, 0,51 un 0,31. Līdzīgi kā iepriekšējos rezultātos, signālam novērojamas nelielas svārstības un pārejas procesa laiks ir aptuveni 4×10^4 ciklu apmērā.



5.5. att. Parametra a novērtētāja pārbaudes eksperimentālais uzstādījums sinhronajā režīmā (a) un parametra a novērtētāja izejas signāls (b).

Nākamajā pētījumā analizēta aditīvā trokšņa ietekme uz novērtētāja veikspēju. Kā parādīts 5.6a. att., raidītāja $x_1[n]$ un $y_1[n]$ signāliem tiek pievienots $B.L.AWGN$. Šis trokšnis ir joslas robežās (angļu val. *in-band*), kas atbilst sliktākajam scenārijam, kad ar vienkāršu filtrēšanu nav iespējams uzlabot SNR . Tā kā sistēma darbojas sinhronā režīmā, šis trokšnis vienlaikus pasliktina gan sinhronizāciju, gan parametra novērtēšanu. Šajā pārbaudē raidītāja un uztvērēja a parametri ir fiksēti pie vērtības 0,47, savukārt SNR tiek mainīts diapazonā no 18 dB līdz 50 dB.

Pētījuma rezultāti ir parādīti 5.6b. att. Vispirms analizēti rezultāti pie konverģences ātruma ($2\mu = 1 \times 10^{-5}$). Samazinoties SNR , $a_{estimated}$ min-max diapazons būtiski paplašinās, kas var apgrūtināt autentifikācijas līmeņu atšķiršanu. Lai uzlabotu noturību pret troksni, veikta pārbaude ar samazinātu konverģences ātrumu ($2\mu = 3 \times 10^{-6}$). Palielinot adaptīvā filtra efektīvo logu, šī izmaiņa ievērojami sašaurina min-max diapazonu pie tiem pašiem SNR līmeņiem, uzlabojot stabilitāti, taču samazinot konverģences ātrumu.



5.6. att. Izpētes blokshēma parametra a novērtētāja pārbaudei $B.L.AWGN$ kanālā (a) un parametra a novērtētāja izejas vērtības (b).

5.3. Diskusija

Šajā nodaļā ieviesta jauna haosa oscilatoru parametru novērtēšanā balstīta PLA shēma. Šī mehānisma integrēšana haosa balstītās datu pārraides sistēmās nodrošina robustu autentifikācijas slāni, ļaujot uztvērējam verificēt konkrētus raidītāja parametrus.

Veiktspējas novērtējums identificējam vairākus būtiskus faktorus ieviešanai:

- **laika un precizitātes kompromiss** – novērtēšanas laiku nosaka konverģences ātrums. Lai gan ātrā konverģence samazina latentumu, tā palielina izejas signāla svārstības, kas var apgrūtināt diskrētu parametru diapazonu atšķiršanu;
- **noturība pret trokšni** – tā kā svārstības palielinās līdz ar trokšņa līmeni, konverģences ātrums jāpielāgo kanāla stāvoklim. Šajā sistēmā kanāla stāvokli var monitorēt, izmantojot Pīrsona korelācijas koeficientu, jau izmantotu datu detekcijā – lai novērtētu sinhronizācijas kvalitāti un vadītu novērtētāja adaptāciju;
- **Sistēmas konfigurējamība** – uztvērēja iekšējā oscilatora parametri nosaka, kuri raidītāja parametru diapazoni ir vislabāk atšķirami. Tas ļauj veidot plaši konfigurējamu arhitektūru, kur lietotāji var iestatīt lokālos parametrus un pielāgot konverģences ātrumu, lai definētu precīzus autentifikācijas intervālus.

Kopumā šīs īpašības veido augsti parametrizētu sistēmu, kas efektīvi mazina nesankcionētu datu pārraidi no līdzīgām arhitektūrām.

SECINĀJUMI

Šajā promocijas darbā ir veikts visaptverošs pētījums par analogo–diskrēto haotisko sistēmu analīzi, izstrādi un eksperimentālo validāciju, kā arī to sinhronizāciju.

Iegūtie rezultāti apliecina, ka haotiskā sinhronizācija starp analogajām shēmām un uz *FPGA* bāzētiem digitālajiem modeļiem ir gan realizējama, gan uzticama. Sasniegta augsta sinhronizācijas precizitāte, apstiprinot, ka diskrētā laika realizācijas var efektīvi reproducēt nepārtrauktā laika haotisko sistēmu dinamiku un otrādi, ja tiek piemērotas atbilstošas mērogošanas un normalizēšanas.

Pētījums turklāt parāda, ka *FPGA* bāzētas realizācijas, izmantojot fiksētā komata aritmētiku, spēj saglabāt būtiskas haosa īpašības, padarot tās piemērotas reāllaika un aparatūras resursu ziņā efektīvām lietojumprogrammām. Starp pētītajām konfigurācijām analogo–diskrētā sinhronizācija uzrādīja visaugstāko noturību, savukārt diskrētā-analogā konfigurācija sniedza apmierinošu veikspēju praktiskos apstākļos. Lai gan trokšņi, kvantēšanas efekti un komponentu pielaides rada novirzes no ideālas darbības, sistēmas saglabāja stabilu sinhronizāciju pieļaujamās robežās, demonstrējot to robustumu reālas vides apstākļos.

Papildus tam, izmantojot parametru novērtēšanas metodes, apstiprināta haosā balstītas autentifikācijas iespējamība. Rezultāti norāda, ka haotiskās sistēmas var efektīvi izmantot fiziskā slāņa drošības risinājumos, piedāvājot daudzsoļu alternatīvu konvencionālajām metodēm.

Rezumējot šis darbs izveido vienotu ietvaru analogo–diskrēto haotisko sistēmu izstrādei un ieviešanai, sniedzot ieguldījumu drošu sakaru tehnoloģiju un aparatūras drošības risinājumu attīstībā.

IZMANTOTĀ LITERATŪRA

- [1] *Ericsson Mobility Report November 2024*. en. Tehn. ziņ. 2024. URL: <https://www.ericsson.com/4adb7e/assets/local/reports-papers/mobility-report/documents/2024/ericsson-mobility-report-november-2024.pdf> (aplūkots 01.05.2025.).
- [2] S. Ullah u. c. “Types of Lightweight Cryptographies in Current Developments for Resource Constrained Machine Type Communication Devices: Challenges and Opportunities”. *IEEE Access* 10 (2022), 35589.–35604. lpp. ISSN: 2169-3536.
- [3] C. Silva, N. Tenório un J. Bernardino. “Lightweight Encryption Algorithms for IoT”. en. *Computers* 14.12 (2025. g. dec.), 505. lpp. ISSN: 2073-431X.
- [4] K. U. Sarker. “A systematic review on lightweight security algorithms for a sustainable IoT infrastructure”. en. *Discover Internet of Things* 5.1 (2025. g. apr.), 47. lpp. ISSN: 2730-7239.
- [5] A. S. Demirkol u. c. “Real time hybrid medical image encryption algorithm combining memristor-based chaos with DNA coding”. *Chaos, Solitons & Fractals* 183 (2024. g. jūn.), 114923. lpp. ISSN: 0960-0779.
- [6] T. Bonny un W. Al Nassan. “NeuroChaosCrypt: Revolutionizing Chaotic-Based Cryptosystem With Artificial Neural Networks—A Comparison With Traditional Cryptosystems”. en. *IEEE Access* 12 (2024), 62030.–62046. lpp. ISSN: 2169-3536.
- [7] C. Zhang u. c. “Double Image Encryption Algorithm Based on Parallel Compressed Sensing and Chaotic System”. en. *IEEE Access* 12 (2024), 54745.–54757. lpp. ISSN: 2169-3536.
- [8] D. Migwi un R. S. Romaniuk. “Lightweight and Scalable Security for Wireless IoT Systems: Challenges and Research Directions”. en. *International Journal of Electronics and Telecommunication* 71.3 (2025. g. jūl.), 1.–8. lpp. ISSN: 2300-1933.
- [9] L. He u. c. “A Modulated Position-Indexed Differential Chaos Shift Keying System With Enhanced BER and Throughput”. en. *IEEE Communications Letters* 30 (2026), 612.–616. lpp. ISSN: 1089-7798, 1558-2558, 2373-7891.
- [10] R. U. Almada-Prieto, J. C. Núñez-Pérez un A. R. Díaz-Rizo. “Chaos-Based Hardware Trojan Covert Channel for Synchronized Chaotic Cryptosystems”. en. *2026 IEEE 17th Latin America Symposium on Circuits and System (LASCAS)*. Arequipa, Peru: IEEE, 2026. g. febr., 1.–5. lpp. ISBN: 979-8-3315-7097-2.
- [11] M. Siino, S. Mangione un I. Tinnirello. “Compact Attention-Augmented Neural Decoder for Chaos-Based Wireless Communications”. en. *IEEE Communications Letters* 30 (2026), 1275.–1279. lpp. ISSN: 1089-7798, 1558-2558, 2373-7891.

- [12] S. Wei u. c. “Adaptive secure communications with key updating using 4D hyper-chaos in digital mobile fronthaul”. en. *IEEE Photonics Technology Letters* (2026), 1.–1. lpp. issn: 1041-1135, 1941-0174.
- [13] J. Yang u. c. “High-Sensitivity Chaotic System for Image Security: Applications to Multi-ROI Encryption”. en. *IEEE Internet of Things Journal* (2026), 1.–1. lpp. issn: 2327-4662, 2372-2541.
- [14] D. Oikawa u. c. “Random-Number Generation Using Chaos in RF-Irradiated Stacked Intrinsic Josephson Junction”. en. *IEEE Transactions on Applied Superconductivity* 36.5 (2026. g. aug.), 1.–5. lpp. issn: 1051-8223, 1558-2515, 2378-7074.
- [15] J. Petrzela. “Chaos in Analog Electronic Circuits: Comprehensive Review, Solved Problems, Open Topics and Small Example”. en. *Mathematics* 10.21 (2022. g. janv.), 4108. lpp. issn: 2227-7390.
- [16] X.-k. Hu u. c. “A discrete Lorenz-like map and its pseudo-Hamiltonian energy”. *Physica Scripta* 100 (2025. g. júl.), 75232. lpp. issn: 0031-8949.
- [17] L. Wang u. c. “Estimation-Correction Modeling and Chaos Control of Fractional-Order Memristor Load Buck-Boost Converter”. en. *Complex System Modeling and Simulation* 4.1 (2024. g. marts), 67.–81. lpp. issn: 2096-9929, 2097-3705.
- [18] L. Benadero u. c. “Period Doubling Route to Chaos in Open Loop Boost Converters under Constant Power Loading and Discontinuous Conduction Mode Conditions”. en. *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*. Seville, Spain: IEEE, 2020. g. okt., 1.–5. lpp. isbn: 978-1-72813-320-1.
- [19] R. Cristiano u. c. “Chaos Through Sliding Bifurcations in a DC–DC Boost Power Converter”. en. *International Journal of Bifurcation and Chaos* (2024. g. nov.).
- [20] J. R. C. Piqueira. “Hopf bifurcation and chaos in a third-order phase-locked loop”. *Communications in Nonlinear Science and Numerical Simulation* 42 (2017. g. janv.), 178.–186. lpp. issn: 1007-5704.
- [21] Z. Duan u. c. “A Fully Integrated Memristive Chaotic Circuit Based on Memristor Emulator with Voltage-Controlled Oscillator”. en. *Micromachines* 16.3 (2025. g. marts), 246. lpp. issn: 2072-666X.
- [22] F. Yu u. c. “Dynamics analysis, synchronization and FPGA implementation of multiscroll Hopfield neural networks with non-polynomial memristor”. *Chaos, Solitons & Fractals* 179 (2024. g. febr.), 114440. lpp. issn: 0960-0779.

- [23] D. N. Butusov u. c. “Synchronization of analog and discrete Rössler chaotic systems”. en. *2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*. St. Petersburg un Moscow, Russia: IEEE, 2017, 265.–270. lpp. ISBN: 978-1-5090-4865-6.
- [24] T. Karimov u. c. “Accurate Synchronization of Digital and Analog Chaotic Systems by Parameters Re-Identification”. en. *Electronics* 7.7 (2018. g. jül.), 123. lpp. ISSN: 2079-9292.
- [25] Y.-H. An u. c. “Design and implementation of master-slave synchronization for chaotic Lur’e systems using Chua’s circuit”. en. *2024 43rd Chinese Control Conference (CCC)*. Kunming, China: IEEE, 2024. g. jül., 682.–686. lpp. ISBN: 978-988-758-158-1.
- [26] H. Cheng u. c. “A deep reinforcement learning method to control chaos synchronization between two identical chaotic systems”. *Chaos, Solitons & Fractals* 174 (2023. g. sept.), 113809. lpp. ISSN: 0960-0779.
- [27] H. G. Chou u. c. “A fuzzy-model-based chaotic synchronization and its implementation on a secure communication system”. *IEEE Transactions on Information Forensics and Security* 8.12 (2013), 2177.–2185. lpp. ISSN: 15566013.
- [28] L. Du u. c. *Chaos Synchronization of a Class of Chaotic Systems via Linear State Error Feedback Control*. 2016. g. janv.
- [29] T. Addabbo u. c. “A New Class of Chaotic Sources in Programmable Logic Devices”. en. *2020 IEEE International Workshop on Metrology for Industry 4.0 & IoT*. Roma, Italy: IEEE, 2020. g. jün., 6.–10. lpp. ISBN: 978-1-72814-892-2.
- [30] O. Karataş, K. Demir un S. Ergün. “Chaotic Sampling of Double Scroll Chaos for Digital Random Number Generation”. en. *2022 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. Shenzhen, China: IEEE, 2022. g. nov., 424.–427. lpp. ISBN: 978-1-66545-073-7.
- [31] M. S. Azzaz, R. Kaibou un A. Smahi. “FPGA Implementation using Novel Co-Design Approach of Real-Time Speech Chaos based Crypto-Watermarking Prototype”. en. *2023 International Conference on Advances in Electronics, Control and Communication Systems (ICAECCS)*. BLIDA, Algeria: IEEE, 2023. g. marts, 1.–6. lpp. ISBN: 978-1-66546-310-2.
- [32] R. Hobincu un O. Datcu. “FPGA Implementation of a Chaos Based PRNG Targetting Secret Communication”. en. *2018 International Symposium on Electronics and Telecommunications (ISETC)*. Timisoara, Romania: IEEE, 2018. g. nov., 1.–4. lpp. ISBN: 978-1-5386-5925-0.
- [33] R. R. Babu un R. Karthikeyan. “Adaptive synchronization of novel chaotic system and its FPGA implementation”. *2015 International Conference on Smart Technologies and Management for Computing, Communication, Controls, Energy and Materials, ICSTM 2015 - Proceedings* May (2015), 449.–454. lpp.

- [34] O. Guillén-Fernández u. c. “On the synchronization techniques of chaotic oscillators and their FPGA-based implementation for secure image transmission”. en. *PLOS ONE* 14.2 (2019), e0209618. ISSN: 1932-6203.
- [35] R. Babajans u. c. “Study on Analog and Discrete Chaos Oscillators Synchronization”. en. *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 33.–46. lpp. ISBN: 978-3-031-60907-7.
- [36] R. Babajans u. c. “Experimental Study on Analog and Discrete Chaos Oscillators Synchronization”. *2023 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. 2023. g. okt., 24.–28. lpp.
- [37] R. Babajans u. c. “Synchronization of Analog-Discrete Chaotic Systems for Wireless Sensor Network Design”. en. *Applied Sciences* 14.2 (2024. g. janv.), 915. lpp. ISSN: 2076-3417.
- [38] R. Babajans, D. Cirjulina un D. Kolosovs. “Discrete Sequential Implementation of Chaos Oscillators for FPGA Integration”. *2024 IEEE Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. Riga, Latvia: IEEE, 2024. g. okt., 33.–36. lpp. ISBN: 979-8-3315-3317-5.
- [39] R. Babajans, D. Cirjulina un D. Kolosovs. “Field-Programmable Gate Array-Based Chaos Oscillator Implementation for Analog–Discrete and Discrete–Analog Chaotic Synchronization Applications”. en. *Entropy* 27.4 (2025. g. apr.), 334. lpp. ISSN: 1099-4300.
- [40] R. Babajans u. c. “Noise Performance Study of FPGA-based and Analog Chaos Oscillator Synchronization”. en. *2025 IEEE 12th Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*. Vilnius, Lithuania: IEEE, 2025, 1.–5. lpp.
- [41] D. Cirjulina u. c. “Nonlinear Dynamics and Hybrid Synchronization of DC Biased Colpitts Chaotic Oscillators”. en. *Electronics* 14.20 (2025. g. janv.), 4005. lpp. ISSN: 2079-9292.
- [42] R. Babajans u. c. “Chaos-Based Dynamical Parameter Estimation for Physical Layer Authentication in Wireless IoT Networks”. en. *Electronics* 15.4 (2026. g. janv.), 748. lpp. ISSN: 2079-9292.
- [43] A. Tamaševičius u. c. “A simple chaotic oscillator for educational purposes”. *European Journal of Physics* 26.1 (2004. g. nov.), 61. lpp.
- [44] A. Namajunas un A. Tamasevicius. “Simple RC chaotic oscillator”. *Electronics Letters* 32 (1996. g. jūn.), 945.–946. lpp.
- [45] M. Kennedy. “Chaos in the Colpitts oscillator”. en. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 41.11 (1994. g. nov.), 771.–774. lpp. ISSN: 10577122.

- [46] L. M. Pecora un T. L. Carroll. “Synchronization in chaotic systems”. en. *Physical Review Letters* 64.8 (1990. g. febr.), 821.–824. lpp. issn: 0031-9007.



Ruslans Babajans dzimis 1998. gadā Rīgā. Rīgas Tehniskajā universitātē (RTU) ieguvis akadēmisko bakalaura grādu elektrotehnikā (2020) un profesionālo maģistra grādu elektronikā un vadošā elektronikas inženiera kvalifikāciju (2022). Kopš 2019. gada 1. marta ir RTU zinātniskais asistents, kopš 2022. gada septembra – Fotonikas, elektronikas un elektronisko sakaru institūta pētnieks. Iesaistās zinātniskajos projektos un vada studiju kursus.

Doktorantūras studiju laikā piedalījies vairākās starptautiskās mobilitātēs un profesionālās vizītēs, tostarp Karaliskā Tehnoloģiju universitātē (Zviedrija), Turīnas Politehniskajā universitātē (Itālija) un Saloniku Aristoteļa universitātē (Grieķija). Zinātniskie un akadēmiskie sasniegumi doktorantūras studiju laikā novērtēti ar *IEEE* balvu par labāko zinātnisko rakstu (2023).

Pētniecības intereses saistītas ar haosā balstītām datu pārraides sistēmām lietu interneta (*IoT*) lietojumiem, lauka programmējamām vārtu masīviem.