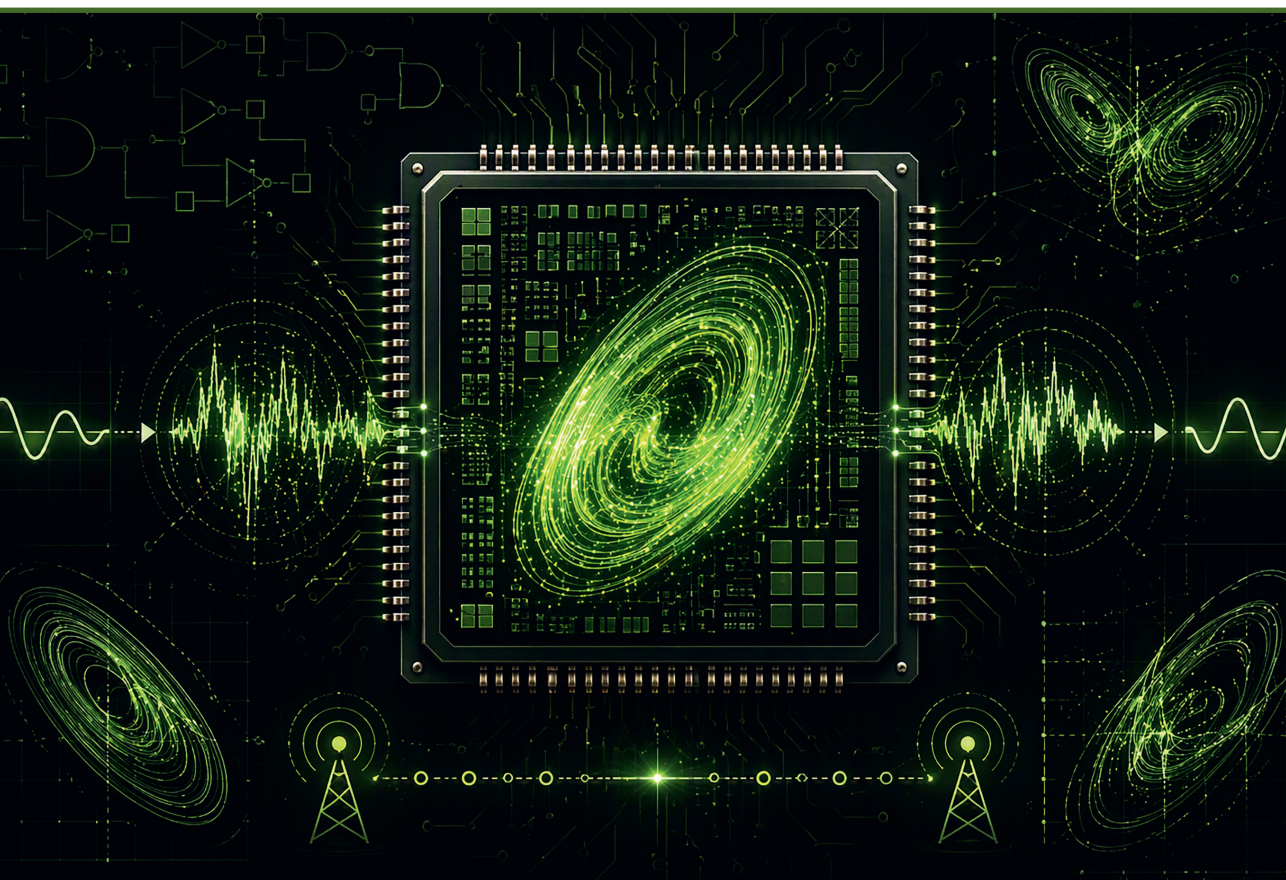


Filips Čapligins

AM-ACSK UN FM-ACSK DIGITĀLO HAOTISKO SAKARU SISTĒMU FPGA REALIZĀCIJA

Promocijas darba kopsavilkums



RĪGAS TEHNISKĀ UNIVERSITĀTE

Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultāte

Fotonikas, elektronikas un elektronisko sakaru institūts

Filips Čapligins

Doktora studiju programmas “Elektronika” doktorants

AM-ACSK UN FM-ACSK DIGITĀLO HAOTISKO SAKARU SISTĒMU FPGA REALIZĀCIJA

Promocijas darba kopsavilkums

Zinātniskie vadītāji:

profesore *Dr. sc. ing.*

ANNA LITVIŅENKO

asociētais profesors *Ph. D.*

DENISS KOLOSOVS

RTU Izdevniecība

Rīga 2026

Čapligins, F. *AM-ACSK* un *FM-ACSK* digitālo haotisko sakaru sistēmu *FPGA* realizācija. Promocijas darba kopsavilkums. – Rīga: RTU Izdevniecība, 2026. – 50 lpp.

Iespiests saskaņā ar promocijas padomes “RTU P-08” 2026. gada 15. maija lēmumu, protokols Nr. 52.



Promocijas darba pētījumu daļēji atbalstīja pētniecības un attīstības grants Nr. C4835.Dok.1076 ES RRF projekta Nr. 5.2.1.1.i.0/2/24/I/CFLA/003 ietvaros.

Vāka attēls ģenerēts ar *Microsoft Designer*.

<https://doi.org/10.7250/9789934373282>

ISBN 978-9934-37-328-2 (pdf)

PROMOCIJAS DARBS IZVIRZĪTS ZINĀTNES DOKTORA GRĀDA IEGŪŠANAI RĪGAS TEHNISKAJĀ UNIVERSITĀTĒ

Promocijas darbs zinātnes doktora (*Ph. D.*) grāda iegūšanai tiek publiski aizstāvēts 2026. gada 11. septembrī plkst. 11.00 Rīgas Tehniskās universitātes Datorzinātnes, informācijas tehnoloģijas un enerģētikas fakultātē, Āzenes ielā 12, 201. auditorijā.

OFICIĀLIE RECENZENTI

Asociētais profesors *Dr. sc. ing.* Andis Supe
Rīgas Tehniskā universitāte

Profesors *Dr.* Darius Plonis
Viļņas Ģedimina Tehniskā universitāte, Lietuva

Profesors *Dr. sc. ing., Dr. habil. sc. ing.* Igors Kabaškins
Transporta un sakaru institūts, Latvija

APSTIPRINĀJUMS

Apstiprinu, ka esmu izstrādājis šo promocijas darbu, kas iesniegts izskatīšanai Rīgas Tehniskajā universitātē zinātnes doktora (*Ph. D.*) grāda iegūšanai. Promocijas darbs zinātniskā grāda iegūšanai nav iesniegts nevienā citā universitātē.

Filips Čapligins_____

Datums: _____

Promocijas darbs ir uzrakstīts angļu valodā, tajā ir ievads, piecas nodaļas, secinājumi, 56 attēli, astoņas tabulas, trīs pielikumi. Kopējais lappušu skaits ir 96, neieskaitot pielikumus. Literatūras sarakstā ir 90 nosaukumi.

SATURS

SAĪSINĀJUMU SARAKSTS	6
IEVADS	8
Aktualitāte	8
Pētījuma mērķis un uzdevumi	9
Zinātniskā novitāte un galvenie rezultāti	9
Aizstāvamās tēzes	10
Pētījuma metodoloģija	11
Pētījuma objekts	12
Praktiskā nozīme	12
Aprobācija	13
Disertācijas struktūra	14
1. HAOSA LIETOJUMS SAKARU SISTĒMĀS	15
1.1. Vispārējais un vēsturiskais konteksts	15
1.2. Haosa un haotisko sakaru sistēmu īpašības	15
1.3. Haosa oscilatori, haotiskā sinhronizācija un modulācija	16
1.3.1. Haosa oscilatori	16
1.3.2. Haotiskās sinhronizācijas metodes	16
1.3.3. Haotiskās modulācijas shēmu veidi	17
1.4. <i>FPGA</i> realizācija kā alternatīva analogajai realizācijai	17
1.5. Haotisko sistēmu <i>FPGA</i> realizāciju apskats	18
1.6. Izaicinājumi haotiskās sakaru sistēmās	20
1.7. Ievads pētījumā	20
1.8. Secinājumi	21
2. <i>AM-ACSK</i> HAOTISKĀS SAKARU SISTĒMAS APRAKSTS	21
2.1. <i>AM-ACSK</i> sakaru sistēmas matemātiskais modelis	22
2.1.1. Modificēts Čua haosa ģenerators	22
2.1.2. Kļūdu atgriezeniskās saites haotiskā sinhronizācija	22
2.1.3. <i>ACSK</i> pamatjoslas modulācija	23
2.1.4. <i>AM-ACSK</i> sakaru sistēmas <i>Simulink</i> modelis	24
2.2. <i>AM-ACSK</i> sakaru sistēmas projektēšana <i>FPGA</i> realizācijai	24
2.2.1. Modificētā Čua haosa ģenerators digitālā realizācijā	24
2.3. <i>AM-ACSK</i> raidītāja signālapstrāde	25
2.3.1. <i>AM</i> modulators	26
2.4. <i>AM-ACSK</i> uztvērēja signālapstrāde	27
2.4.1. <i>AM</i> demodulators	27
2.4.2. Filtru sistēma	28

2.4.3.	<i>AGC</i>	29
2.4.4.	<i>ACSK</i> demodulācija	29
2.4.5.	Simbolu laika sinhronizācijas atjaunošana	30
2.4.6.	Lēmuma pieņemšanas bloks (bitu detektors)	33
2.5.	Secinājumi	33
3.	<i>FM-ACSK</i> HAOTISKĀS SAKARU SISTĒMAS APRAKSTS	33
3.1.	Izmaiņas salīdzinājumā ar <i>AM-ACSK</i> sakaru sistēmu	34
3.2.	Frekvences modulācija	34
3.3.	Filtri	35
3.4.	Secinājumi	37
4.	HAOTISKO SAKARU SISTĒMU MODEĻU VEIKTSPĒJAS NOVĒRTĒJUMS, IZMANTOJOT SIMULĀCIJU	37
4.1.	<i>Simulink</i> modeļa eksperimentālā uzstādne	37
4.1.1.	Selektīvās vājināšanas kanāls	38
4.2.	<i>AM-ACSK</i> modeļa veikspējas novērtējums <i>Simulink</i> vidē <i>AWGN</i> kanālā	39
4.3.	<i>FM-ACSK</i> modeļa veikspējas novērtējums <i>Simulink</i> vidē	39
4.3.1.	<i>AWGN</i> kanāla veikspēja	39
4.3.2.	Selektīvās vājināšanas kanāla veikspēja	40
4.4.	Secinājumi	41
5.	HAOTISKO SAKARU SISTĒMU <i>FPGA</i> PROTOTIPU VEIKTSPĒJAS NOVĒR- TĒJUMS	41
5.1.	<i>FPGA</i> prototipu eksperimentālā uzstādne	41
5.2.	<i>AM-ACSK FPGA</i> prototipa veikspējas novērtējums <i>AWGN</i> kanālā	43
5.3.	<i>FM-ACSK FPGA</i> prototipa veikspējas novērtējums	44
5.3.1.	<i>AWGN</i> kanāla veikspēja	44
5.3.2.	Selektīvās vājināšanas kanāla veikspēja	44
5.4.	Secinājumi	45
	KOPĒJIE SECINĀJUMI	45
	IZMANTOTĀ LITERATŪRA	48

SAĪSINĀJUMU SARAKSTS

ACSK	– <i>antipodal chaos shift keying</i> (antipodālā haotiskā manipulācija)	DAC	– <i>digital-to-analog converter</i> (ciparanalogu pārveidotājs)
ADC	– <i>analog-to-digital converter</i> (analogciparu pārveidotājs)	DCSK	– <i>differential chaos shift keying</i> (diferenciālā haotiskā manipulācija)
AGC	– <i>automatic gain controller</i> (automātiskais pastiprinājuma kontroleris)	DMA	– <i>direct memory access</i> (atmiņas tiešpiekļuve)
AM	– <i>amplitude modulation</i> (amplitūdas modulācija)	DSP	– <i>digital signal processing</i> (ciparu signāla apstrāde)
AM-ACSK	– <i>amplitude-modulated antipodal chaos shift keying</i> (amplitūdas modulēta antipodālā haotiskā manipulācija)	FEC	– <i>forward error correction</i> (turpvērstā kļūdu labošana)
AWGN	– <i>additive white Gaussian noise</i> (aditīvais baltais Gausa troksnis)	FIFO	– <i>first input first output</i> (pirmais iekšā - pirmais ārā)
BER	– <i>bit error rate</i> (bitu kļūdu intensitāte)	FIR	– <i>finite impulse response</i> (galīga impulsa reakcija)
C-PSK	– <i>chaotic phase shift keying</i> (haotiskā fāzes manipulācija)	FM	– <i>frequency modulation</i> (frekvences modulācija)
CDMA	– <i>code division multiple access</i> (koddales daudzpiekļuve)	FM-ACSK	– <i>frequency-modulated antipodal chaos shift keying</i> (frekvences modulēta antipodālā haotiskā manipulācija)
CIC	– <i>cascaded integrator-comb</i> (integratoru ķemmju kaskādes)	FPGA	– <i>field-programmable gate array</i> (programmējamie loģikas masīvi)
COOK	– <i>chaos on-off keying</i> (haotiskā ieslēgšanas-izslēgšanas modulācija)	HDL	– <i>hardware description language</i> (aparātūras projektēšanas valoda)
CPSK	– <i>chaos parameter shift keying</i> (haosa parametru manipulācija)	HPS	– <i>hard processing system</i> (cietā apstrādes sistēma)
CSK	– <i>chaos shift keying</i> (haotiskā manipulācija)	HSMC	– <i>high speed mezzanine card</i> (ātrdarbīga izvērse plate)
CSS	– <i>chaos-based selective symbol</i> (haotiska simbolu izvēle)	IC	– <i>integrated circuit</i> (integrālshēma)
		IIR	– <i>infinite impulse response</i> (bezgalīga impulsa reakcija)

IoT	– <i>Internet of Things</i> (lietu inter-nets)	RK-4	– <i>fourth-order Runge-Kutta</i> (ce-turtās pakāpes Runges-Kuta)
IP	– <i>intellectual property</i> (intelektuālais īpašums)	RMS	– <i>root mean square</i> (vidējā kvadrātiskā)
LED	– <i>light-emitting diode</i> (gaismas diode)	SDRAM	– <i>synchronous dynamic random-access memory</i> (sinhronā dinamiskā brīvpiekluves atmiņa)
LFSR	– <i>linear feedback shift register</i> (bīdes reģistrs ar lineāru atgriezenisko saiti)	SFDR	– <i>spurious-free dynamic range</i> (dinamiskais diapazons, brīvs no parazītiskiem izstarojumiem)
LUT	– <i>lookup table</i> (pārlūktabula)	SNR	– <i>signal-to-noise ratio</i> (signāla un trokšņa attiecība)
MPU	– <i>microprocessor unit</i> (mikroprocesors)	SOB	– <i>straight offset binary</i> (taisnā binārā nobīde)
MSB	– <i>most significant bit</i> (visnozīmīgākais bits)	SoC	– <i>system-on-chip</i> (vienčipa sistēma)
NCO	– <i>numerically controlled oscillator</i> (skaitliskās kontroles oscilators)	TED	– <i>timing error detector</i> (simbolu laika sinhronizācijas kļūdas detektors)
ODE	– <i>ordinary differential equation</i> (parastais diferenciālvienādojums)	UART	– <i>universal asynchronous receiver/transmitter</i> (universālais asinhronais raiduztvērējs)
OPCL	– <i>open-plus-closed-loop</i> (atvērta-un-slēgta cilpa)	USB	– <i>universal serial bus</i> (universālā seriālā kopne)
PC	– <i>personal computer</i> (personālais dators)	VHDL	– <i>very high speed integrated circuit hardware description language</i> (ļoti ātru integrālshēmu aparatūras projektēšanas valoda)
PTCFZNN	– <i>preset-time convergence fuzzy zeroing neural network</i> (neironu tīkls ar iestatītu konverģences laiku un nulles noteikšanu ar faziloģiku)	WCDMA	– <i>wideband code division multiple access</i> (platjoslas koda dales daudzpiekluve)
RCO	– <i>reconfigurable chaotic oscillator</i> (pārkonfigurējams haotisks oscilators)	XOR	– <i>exclusive OR</i> (izslēdzošais VAI)

IEVADS

Aktualitāte

Pēdējo desmitgažu laikā ir strauji pieaudzis pieprasījums pēc sakaru infrastruktūrām ar uzlabotu signāla aizsardzību. Telekomunikācijām ir izšķiroša nozīme globālās savienojamības veicināšanā, un lietu interneta (angļu val. *Internet of Things, IoT*) paplašināšanās šo vajadzību ir vēl vairāk palielinājusi. Pieaugot kiberdraudiem un privātuma riskiem, uzticama datu pārraide ir kļuvusi par vienu no svarīgākajām prioritātēm. Tradicionālās drošības stratēģijas galvenokārt balstās šifrēšanas algoritmos, kas var novecot, attīstoties skaitļošanas tehnoloģijām, piemēram, kvantu mehānikai. Šīs metodes galvenokārt koncentrējas uz augstāko līmeņu protokolu aizsardzību, bieži vien neievērojot aizsardzības pasākumus, kas nepieciešami fiziskajam pārraides slānim. Haotiskās sakaru sistēmas piedāvā pārliecinošu alternatīvu, izmantojot haotisko viļņformu nelineāro un neparedzamo dabu, lai uzlabotu aizsardzību un kavētu neatļautu pārtveršanu.

Pētījumi par haosa ģeneratoru lietojumu sakaru sistēmās aizsākās 20. gadsimta deviņdesmitajos gados, un viena no to galvenajām priekšrocībām ir paaugstināta signāla aizsardzība [1]. Haotisku svārstību kā nesēja izmantošana apgrūtina signāla noteikšanu un informācijas iegūšanu to raksturīgi neparedzamo signāla īpašību dēļ. Haotiskās sinhronizācijas iekļaušana koherentās detektēšanas shēmās vēl vairāk pastiprina šo aizsardzību, jo tādējādi uztvērējā ir nepieciešams identisks haosa ģenerators – ar sakrītošiem parametriem un arhitektūru –, lai veiktu demodulāciju [2]. Turklāt haotiskie signāli demonstrē noturību pret pārtveršanu, uzrādot ievērojamu toleranci pret daudzceļu ietekmēm un apzinātu traucēšanu [3]. Šo sistēmu raksturīgās nelineārās, ergodiskās un pseidogadījuma īpašības veicina neparedzamību, tādējādi apgrūtinot neatļautu piekļuvi bez precīzām ziņām par sistēmu. Ja šīs īpašības aplūko kopā ar šauru autokorelāciju, samazinātu savstarpējo signālu korelāciju un plašu spektrālo izkliedi, haotiskās sistēmas kļūst par praktisku risinājumu fiziskā slāņa aizsardzības stiprināšanai bezvadu pārraidēs, padarot tās par vērtīgu pētījumu objektu gan zinātniskai izpētei, gan praktiskiem lietojumiem signālu aizsardzībai sakaru sistēmās.

Haosa ģeneratoru izmantošana vēsturiski ir bijusi ierobežota ar analogo shēmu jomu. Tomēr analogo haosa ģeneratoru ieviešana sakaru sistēmās rada ievērojamus izaicinājumus, tostarp sākuma stāvokļa nekontrolējamību un komponentu parametru iekšējo nestabilitāti. Tas sarežģīt dreifa kompensāciju un padara haotisko sinhronizāciju nedrošu [4]. Šie trūkumi ir veicinājuši pāreju uz diskrētām digitālām realizācijām uz programmējamiem loģikas masīviem (angļu val. *field-programmable gate array, FPGA*), lai novērstu dreifa problēmas un nodrošinātu deterministisku, augstas caurlaidības paralelu signālapstrādi, izmantojot konveijerizāciju [3]. Mūsdienu kontekstā *FPGA* pārprogrammējamība un aparatūras apraksta valodu atbalsts ir izraisījis jaunu interesi par haotisko sakaru sistēmu lietojumu pētījumiem [5, 6]. Tomēr, neraugoties uz šo pieaugošo interesi, esošajā literatūrā joprojām ir salīdzinoši maz informācijas par pilnībā haotisku sakaru sistēmu raidzītvērēju praktisko realizāciju uz *FPGA* un to eksperimentālo veikspējas novērtējumu. Turklāt pastāv nepār-

traukta nepieciešamība optimizēt resursu sadali, lai saglabātu haosa precizitāti, vienlaikus ievērojot efektivitātes prasības.

Pētījuma mērķis un uzdevumi

Šīs disertācijas mērķis ir izpētīt koherentas diskrētas haotiskās sakaru sistēmu projektēšanas iespējas un izstrādāt pieeju kopumu šādu sistēmu *FPGA* realizācijai. Lai sasniegtu šo mērķi, ir izvirzīti šādi uzdevumi:

- veikt analītisku pētījumu par haotiskām sakaru sistēmām un to *FPGA* realizāciju;
- izstrādāt matemātiskos modeļus koherentām diskrētām amplitūdas modulētas antipodālās haotiskās manipulācijas (angļu val. *amplitude-modulated antipodal chaos shift keying, AM-ACSK*) un frekvences modulētas antipodālās haotiskās manipulācijas (angļu val. *frequency-modulated antipodal chaos shift keying, FM-ACSK*) haotiskām sakaru sistēmām;
- veikt koncepcijas verifikāciju ar simulāciju palīdzību;
- izstrādāt *FPGA* prototipus projektētajām *AM-ACSK* un *FM-ACSK* haotiskām sakaru sistēmām, izmantojot ļoti ātrās integrāleshēmu aparatūras projektēšanas valodas (angļu val. *very high speed integrated circuit hardware description language, VHDL*) kodu;
- veikt *FPGA* prototipu eksperimentālo verifikāciju.

Zinātniskā novitāte un galvenie rezultāti

Pētījuma galvenie rezultāti un zinātniskās novitātes ir šādas:

- oriģināla modificētas Čua shēmas haosa ģenerators diskrēta adaptācija, kļūdu atgriezeniskās saites sinhronizācija un *AM-ACSK* līdzās *FM-ACSK* modulētas sakaru sistēmas, kas izstrādātas *FPGA* aparatūras integrācijai;
- *Simulink* matemātiskā modeļa izstrāde, kas precīzi atspoguļo piedāvāto *AM-ACSK* un *FM-ACSK* sakaru sistēmu prototipu digitālos komponentus;
- jaunu *AM-ACSK* un *FM-ACSK* diskrēto haotisko sakaru sistēmu raiduztvērēju strukturāla projektēšana un *FPGA* realizācija, kā arī to praktiskā validācija ar darbības testiem, ir apstiprinājusi abu sistēmu dzīvotspēju un veicinājusi haotisko sakaru tehnoloģiju konceptuālo attīstību.

Īpaši nozīmīgi ir šādi komponenti:

- raidītāji – modificēts Čua haosa ģenerators (kura parasto diferenciālvienādojumu (angļu val. *ordinary differential equation, ODE*) sistēma tika diskrētizēta un atrisināta ar Eilera metodi un fiksētā punkta aritmētiku), antipodālās haotiskās manipulācijas (angļu val. *antipodal chaos shift keying, ACSK*) modulācija (8192 nolases uz simbolu), uz skaitliskās kontroles oscilatora (angļu val. *numerically controlled oscillator, NCO*) balstīta amplitūdas modulācija (angļu val. *amplitude modulation, AM*) un frekvences modulācija (angļu val. *frequency*

modulation, FM) 10,7 MHz nesējfrekvences joslā;

- uztvērēji – signālapstrāde, tostarp nekoherenta digitāla *AM/FM* demodulācija, trokšņu filtri, automātiskais pastiprinājuma kontrolleis (angļu val. *automatic gain controller, AGC*) (tikai *AM-ACSK*), koherenta *ACSK* demodulācija ar kļūdu atgriezeniskās saites haotisko sinhronizāciju un simbolu laika sinhronizācijas atjaunošanu.

Realizācijas process ietver *VHDL* izmantošanu prototipēšanai uz *Altera Cyclone V FPGA* ar 50 MHz taktsfrekvenci. Šis process ietver šādus palīgmoduļus, kas nepieciešami veikspējas novērtēšanas testiem:

- bīdes reģistrs ar lineāru atgriezenisko saiti (angļu val. *linear feedback shift register, LFSR*) tiek izmantots pseidogadījuma pārraidāmo datu ģenerēšanai;
- aditīvā baltā Gausa trokšņa (angļu val. *additive white Gaussian noise, AWGN*) kontrolleis ir reāllaika sistēma, kas pielāgo trokšņa līmeņus;
- bitu kļūdu intensitātes (angļu val. *bit error rate, BER*) kontrolleis tiek izmantots bitu kļūdu noteikšanai un skaitīšanai;
- *BER*-uz-*DMA* modulis kalpo *BER* datu pārsūtīšanai uz atmiņu;
- programmatūra, kas ir izstrādāta *C* programmēšanas valodā, lai nolasītu *BER* datus no atmiņas un attēlotu rezultātus;
- ciparanalogu pārveidotājs (angļu val. *digital-to-analog converter, DAC*) un analogciparu pārveidotājs (angļu val. *analog-to-digital converter, ADC*), kuri nodrošina analogā kanāla savienojumu starp raidītāju un uztvērēju.

Sistēmas veikspēja novērtēta, izmantojot *BER AWGN* (un selektīvo vājināšanu *FM-ACSK* gadījumā) kanālos dažādu signāla un trokšņa attiecību (angļu val. *signal-to-noise ratio, SNR*) vērtību diapazonā. Uzsvars likts uz noturību pret troksni, sinhronizācijas uzticamību, simulācijas un aparātūras atšķirībām (fiksētā punkta skaitļu formāta un reālās vides efektiem), haotisko sakaru sistēmu izaicinājumiem un praktisko dzīvotspēju.

Aizstāvamās tēzes

1. Diskrēts *AM-ACSK* raiduztvērējs, kas balstīts modificētā Čua oscilatorā, izmanto Eilera diskrēto *ODE* risināšanas metodi un kļūdu lineārās atgriezeniskās saites haotisko sinhronizāciju, **ir realizējams uz viena *Altera/Intel Cyclone V FPGA* ar datu pārraides ātrumu 6,1 kbps un 430 kHz kanāla joslas platumu.**
2. Diskrēts *FM-ACSK* raiduztvērējs, kas balstīts modificētā Čua oscilatorā, izmanto Eilera diskrēto *ODE* risināšanas metodi un kļūdu lineārās atgriezeniskās saites haotisko sinhronizāciju, **ir realizējams uz viena *Altera/Intel Cyclone V FPGA* ar datu pārraides ātrumu 6,1 kbps, 1,720 MHz kanāla joslas platumu un *FM* modulācijas indeksu 3.**
3. Diskrētais *AM-ACSK* raiduztvērējs, kas balstīts modificētā Čua oscilatorā, izmanto Eilera

diskrēto *ODE* risināšanas metodi, kļūdu lineārās atgriezeniskās saites haotisko sinhronizāciju un ir realizēts uz viena *Altera/Intel Cyclone V FPGA*, **nodrošina AWGN veikspēju 10^{-3} BER pie 8,7 dB SNR** ar nekodētu datu pārraides ātrumu 6,1 kbps pie **430 kHz kanāla joslas platuma**.

4. Diskrētais *FM-ACSK* raidzuvēvējs, kas balstīts modificētā Čua oscilatorā, izmanto Eilera diskreto *ODE* risināšanas metodi, kļūdu lineārās atgriezeniskās saites haotisko sinhronizāciju un ir realizēts uz viena *Altera/Intel Cyclone V FPGA*, **nodrošina AWGN veikspēju 10^{-3} BER pie 5,6 dB SNR** ar nekodētu datu pārraides ātrumu 6,1 kbps pie **1,720 MHz kanāla joslas platuma** un *FM* modulācijas indeksa 3.

Pētījuma metodoloģija

Lai sasniegtu izvirzītos mērķus un uzdevumus, pētījuma metodoloģija ietver daudzpakāpju pieeju, apvienojot teorētisko analīzi, modelēšanu, simulāciju, aparatūras realizāciju un empīrisku validāciju. Šī strukturētā secība nodrošina visaptverošu haotisko sakaru sistēmu izpēti – no konceptuāla dizaina līdz praktiskai ieviešanai *FPGA* platformās.

Pētījuma pamats ir analītiskās metodes, tostarp literatūras apskats un mūsdienu stāvokļa analīze par haotiskajām sakaru sistēmām. Tas ietver vēsturiskā konteksta, haosa īpašību, haosa oscilatoru, sinhronizācijas paņēmieni, modulācijas shēmu un *FPGA* realizāciju izpēti kā alternatīvu analogajām shēmām. Apskatā īpaša uzmanība veltīta *FPGA* balstītiem haosa ģeneratoriem un sakaru sistēmām, identificējot izaicinājumus (piemēram, sinhronizācijas uzticamību, jutību pret troksni) un metrikas (piemēram, *ODE* diskretizāciju, takts frekvences, bitu precizitāti, resursu patēriņu), balstoties zinātniskos avotos, lai pamatotu piedāvāto *AM-ACSK* un *FM-ACSK* shēmu novitāti.

Balstoties šajā analīzē, izmantota matemātiskā modelēšana, lai izstrādātu *AM-ACSK* un *FM-ACSK* sistēmas. Modificētā Čua haosa ģenerators *ODE* formulētas un diskretizētas, izmantojot Eilera metodi ar fiksētā punkta aritmētiku, lai nodrošinātu haotisku uzvedību, kas piemērota digitālai realizācijai. Šie modeļi ietver haotisko sinhronizāciju ar kļūdu atgriezenisko saiti, *ACSK* modulāciju un digitālās *AM/FM* joslas pārraides sistēmas, izmantojot *NCO*. Papildus tiek izmantoti uztvērēja signālapstrādes moduļi, tostarp filtrēšana, simbolu laika sinhronizācijas atjaunošana, izmantojot *early-late gate* metodi, un bitu detektēšana ar integrāciju.

Lai verificētu koncepciju un novērtētu sistēmas iespējas, izmantotas skaitliskās metodes un simulācijas. *Simulink* modeļi ir izstrādāti tā, lai atdarinātu *FPGA* prototipu digitālos komponentus, tādējādi ļaujot veikt veikspējas novērtējumus simulētos kanālos. *BER* analīze veikta *AWGN* kanālā, salīdzinot *AM-ACSK* un *FM-ACSK*. Rezultāti parādīja, ka *FM-ACSK* uzrāda labāku noturību pret troksni. *FM-ACSK* veikspēja papildus novērtēta selektīvās vājināšanas modeļi.

Nākamais posms ietver praktiskus eksperimentus, koncentrējoties uz *FPGA* prototipu izstrādi un empīrisku verifikāciju. Sistēmu realizācija veikta, izmantojot *VHDL* koda kompilāciju ar *Quar-*

tus programmatūru *Altera Cyclone V FPGA* aparatūrai. Šī realizācija ietver raidītāja un uztvērēja signālapstrādes ķēdes, kā arī palīgmoduļus, kas tiek izmantoti eksperimentālajai uzstādīšanai, tostarp *AWGN* trokšņa kontrolieri, *BER* mērīšanas rīkus un nolasīšanas programmatūru. Darbības pārbaudēs īstenota aparatūras cilpveidīga testēšana, kurā *DAC* un *ADC* ir savienoti ar koaksiālo kabeli, lai izveidotu analogo kanālu ar 10,7 MHz joslas caurlaides frekvenci. *BER* mērījumi veikti pie dažādiem *AWGN* līmeņiem un selektīvās vājināšanas scenārijiem, tādējādi validējot simulācijas rezultātus un apstiprinot prototipu dzīvotspēju. Šī metodoloģiskā pieeja nodrošina pāreju no teorijas uz praksi, līdzsvarojot inovāciju ar stingru verifikāciju.

Pētījuma objekts

Šī pētījuma objekts ir diskrēta haotiska sakaru sistēma. Ir izstrādātas divas šādas jaunas sistēmas ar *AM-ACSK* un *FM-ACSK* modulācijām. Pētījums koncentrējas uz šo sistēmu *FPGA* realizāciju un veikspējas novērtēšanu.

Praktiskā nozīme

Šī pētījuma praktiskā nozīme ir haotisko sakaru sistēmu tehnoloģiju attīstībā, izstrādājot un validējot jaunus *AM-ACSK* un *FM-ACSK FPGA*-realizētus prototipus, pievēršot uzmanību reālās vides problēmām fiziskā slāņa signāla aizsardzībā un noturībā pret troksni. Jāuzsver, ka diskrētu haotisko sakaru sistēmu realizācija, izmantojot *FPGA*, literatūrā ir saņēmusi ievērojami mazāk uzmanības nekā citi sakaru sistēmu pētniecības virzieni. Papildus *Simulink* modeļi nodrošina ātru projektēšanu un verifikāciju, savukārt palīgmoduļi eksperimentālajai uzstādīšanai *FPGA* prototipiem atbalsta sistēmas noturības pret troksni empīrisku testēšanu. Šie sasniegumi kalpo kā praktisks ceļvedis koherentu haotisko sakaru sistēmu izveidei un *FPGA* realizācijai, piedāvājot vairākas pieejas, algoritmus un veikspējas rādītājus, kas atvieglo projektēšanas procesu.

Potenciālie lietojumi ietver:

- drošus *IoT* tīklus, kuros troksnim līdzīgu haotisku signālu izmantošana var uzlabot privātumu un pret darbību traucējumiem ierīcēs ar resursu ierobežojumiem;
- bezvadu militārās sakaru sistēmās, piedāvājot apslēptas pārraides iespēju un relatīvu noturību pret traucējumiem;
- izkliedētā spektra sistēmas veselības aprūpes un transporta infrastruktūras sektoros, kas uzlabotu datu integritāti un aizsargātu pret neatļautu piekļuvi;
- komerciālus *FPGA* balstītus modemus, kas ļautu integrāciju standartiem atbilstošās ierīcēs ar zemām datu pārraides ātruma prasībām;
- viedo māju lokālos sensoru tīklus vai plašu teritoriju sensoru tīklus, kuros šāda infrastruktūra varētu gūt labumu no uzlabotām datu aizsardzības iespējām.

Raidu ztvērēju prototipi, kas izstrādāti, veicot iteratīvas simulācijas un aparatūras testus, demonstrē *FPGA* realizācijas konceptuālo īstenojamību, ko var izmantot turpmākai haotisko sakaru sistē-

mu izpētei. Piedāvāto dizainu var pielāgot konkrētajām lietojuma prasībām datu pārraides ātruma, spektra joslas platumā, resursu un enerģijas patēriņa, kā arī citu būtisku parametru ziņā.

Aprobācija

Ar šo promocijas darbu saistītie un zinātniskajos žurnālos publicētie darbi (būtiskākie, kas atspoguļo pētījuma galvenās idejas, ir izcelti treknrakstā):

1. F. Čapligins u. c. “Frequency-Modulated Antipodal Chaos Shift Keying Chaotic Communication on Field Program Gate Array: Prototype Design and Performance Insights”. en. *Applied Sciences* 15.3 (2025. g. janv.), 1156. lpp. ISSN: 2076-3417. DOI: [10.3390/app15031156](https://doi.org/10.3390/app15031156).
2. M. F. Taşdemir u. c. “Performance Evaluation of FPGA-Based Design of Modified Chua Oscillator”. en. *Chaos Theory and Applications* 6.4 (2024. g. nov.), 249.–256. lpp. ISSN: 2687-4539. DOI: [10.51537/chaos.1466919](https://doi.org/10.51537/chaos.1466919).
3. D. Čirjuļina u. c. “Experimental Study on Colpitts Chaotic Oscillator-Based Communication System Application for the Internet of Things”. en. *Applied Sciences* 14.3 (2024. g. janv.), 1180. lpp. ISSN: 2076-3417. DOI: [10.3390/app14031180](https://doi.org/10.3390/app14031180).
4. R. Babajans u. c. “Synchronization of Analog-Discrete Chaotic Systems for Wireless Sensor Network Design”. en. *Applied Sciences* 14.2 (2024. g. janv.), 915. lpp. ISSN: 2076-3417. DOI: [10.3390/app14020915](https://doi.org/10.3390/app14020915).
5. R. Babajans u. c. “Performance Analysis of Vilnius Chaos Oscillator-Based Digital Data Transmission Systems for IoT”. en. *Electronics* 12.3 (2023. g. janv.), 709. lpp. ISSN: 2079-9292. DOI: [10.3390/electronics12030709](https://doi.org/10.3390/electronics12030709).
6. F. Čapligins u. c. “FPGA-Based Antipodal Chaotic Shift Keying Communication System”. en. *Electronics* 11.12 (2022. g. jūn.), 1870. lpp. ISSN: 2079-9292. DOI: [10.3390/electronics11121870](https://doi.org/10.3390/electronics11121870).
7. F. Čapligins u. c. “Experimental Study of the Chaotic Jerk Circuit Application for Chaos Shift Keying”. *Latvian Journal of Physics and Technical Sciences* 58.4 (2021), 55.–68. lpp. DOI: [10.2478/lpts-2021-0033](https://doi.org/10.2478/lpts-2021-0033).

Ar šo promocijas darbu saistītie, zinātniskajās konferencēs prezentētie un to krājumos publicētie darbi (būtiskākie, kas atspoguļo pētījuma galvenās idejas, ir izcelti treknrakstā):

1. F. Čapligins, A. Litviņenko un D. Kolosovs. “Selective Fading Channel Performance Evaluation for Frequency-Modulated Antipodal Chaos Shift Keying Communication System”. *2025 IEEE 12th Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*. 2025, 1.–5. lpp. DOI: [10.1109/AIEEE66149.2025.11050770](https://doi.org/10.1109/AIEEE66149.2025.11050770).
2. D. Čirjuļina u. c. “Fundamental Frequency Impact on Vilnius Chaos Oscillator Dynamics”. *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 87.–101. lpp. ISBN: 978-3-031-60907-7. DOI: [10.1007/978-3-031-60907-7_8](https://doi.org/10.1007/978-3-031-60907-7_8).
3. R. Babajans u. c. “Study on Analog and Discrete Chaos Oscillators Synchronization”. *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 33.–46. lpp. ISBN: 978-3-031-60907-7. DOI: [10.1007/978-3-](https://doi.org/10.1007/978-3-031-60907-7_8)

4. F. Čapligins, A. Litviņenko un D. Kolosovs. "Performance Evaluation of Frequency Modulated Antipodal Chaos Shift Keying Digital Communication System". en. *2023 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. Riga, Latvia: IEEE, 2023. g. okt., 29.–33. lpp. ISBN: 9798350393491. DOI: [10.1109/MTTW59774.2023.10320019](https://doi.org/10.1109/MTTW59774.2023.10320019).
5. A. Āboltiņš u. c. "Implementation of chaotic frequency modulation based spread spectrum communication system in software-defined radio". *2023 IEEE Wireless Communications and Networking Conference (WCNC)*. 2023, 1.–6. lpp. doi: [10.1109/WCNC55385.2023.10118612](https://doi.org/10.1109/WCNC55385.2023.10118612).
6. F. Čapligins, A. Litviņenko un D. Kolosovs. "FPGA Implementation and Study of Antipodal Chaos Shift Keying Communication System". *2021 IEEE Microwave Theory and Techniques in Wireless Communications (MTTW)* (2021), 1.–6. lpp. doi: [10.1109/mttw53539.2021.9607226](https://doi.org/10.1109/mttw53539.2021.9607226).
7. F. Čapligins u. c. "FPGA Implementation and Study of Synchronization of Modified Chua's Circuit-Based Chaotic Oscillator for High-Speed Secure Communications". 2021. ISBN: 978-1-66542-538-4. DOI: [10.1109/AIEEE51419.2021.9435783](https://doi.org/10.1109/AIEEE51419.2021.9435783).

Promocijas darba struktūra

Promocijas darbs ir strukturēts piecās galvenajās nodaļās, kam seko kopējie secinājumi.

1. nodaļa sniedz pārskatu par haosa lietojumu sakaru sistēmās, aptverot vēsturisko kontekstu, haosa īpašības, oscilatorus, sinhronizācijas metodes, modulācijas shēmas (nekoherentas un koherentas), *FPGA* priekšrocības salīdzinājumā ar analogām realizācijām, esošo *FPGA* balstīto haotisko sistēmu apskatu, galvenos izaicinājumus un ievadu *AM-ACSK/FM-ACSK* pētījumam.

2. nodaļa sniedz visaptverošu pārskatu par *AM-ACSK* sistēmu, tostarp tās matemātisko modeli, *FPGA* realizācijas apsvērumiem, raidītāja/uztvērēja signālapstrādi un *Simulink* modeļa uzstādījumu.

3. nodaļā aplūkota *FM-ACSK* sistēma, uzsverot arhitektūras izmaiņas salīdzinājumā ar *AM-ACSK*, projektēšanas principus un *FPGA* realizāciju.

4. nodaļā novērtēta abu sistēmu veiktspēja ar *Simulink* simulācijām, apskatot *BER* rezultātus *AM-ACSK* (*AWGN*) un *FM-ACSK* (*AWGN* un vājināšana) gadījumos.

5. nodaļā novērtēta *FPGA* prototipu veiktspēja, tostarp eksperimentālās uzstādes ar palīgmoduļiem, *BER* analīze *AWGN* kanālā (abām sistēmām) un selektīvā vājināšana (*FM-ACSK*).

Visbeidzot, secinājumos ir apkopoti galvenie rezultāti, jauninājumi un ietekme uz haotiskām sakaru sistēmām.

1. HAOSA LIETOJUMS SAKARU SISTĒMĀS

Šajā sadaļā sniegts pārskats par haosa izmantošanu sakaru sistēmās un piedāvāti daži vispārīgi piemēri. Tāpat aplūkots aktuālais stāvoklis haosa ģeneratoru un haotisko sakaru sistēmu *FPGA* realizācijā.

1.1. Vispārējais un vēsturiskais konteksts

Haoss izpaužas kā aperiodiska ilgtermiņa uzvedība determinētā sistēmā, kurai piemīt augsta jutība pret sākuma nosacījumiem [3]. Haotisko svārstību izmantošana sakaru sistēmās nav jauna metode, un tai ir noteiktas priekšrocības. Haotiskus signālus ir grūti pārtvert, un tie ir labi noturīgi pret daudzceļu izplatīšanos un apzināti radītiem traucējumiem [2].

Haotiskām sistēmām piemīt noteiktas īpašības, kas tās padara īpaši piemērotas izmantošanai sakaru sistēmās.

- **Samazināts enerģijas patēriņš.** Shēmas, kas spēj ģenerēt haotiskus signālus, var darboties efektīvi ar minimālu enerģijas patēriņu.
- **Troksnim līdzīgs raksturs.** Haotiskas sistēmas izejas signāls ir aperiodisks un dažos gadījumos var nebūt atšķirams no trokšņa, kas apgrūtina haotiska signāla noteikšanu.
- **Platjoslas spektrs.** Haotiskas sistēmas autokorelācijas funkcija uzrāda strauju vērtības samazināšanos, palielinoties laika intervālam. Šī īpašība ir raksturīga platjoslas spektra signāliem. Turklāt dažādu sākuma nosacījumu rezultātā iegūto vienas un tās pašas sistēmas haotisko signālu savstarpējās korelācijas funkcija ir minimāla, pateicoties sistēmas augstajai jutībai pret sākuma nosacījumiem. Šīs īpašības padara haosa ģeneratorus īpaši piemērotus izkliegtā spektra sakaru sistēmu realizācijai.
- **Pašsinhronizācija.** Šī īpašība, kas tiks skaidrota turpmāk, ļauj uztvērējam sinhronizēties ar raidītāja stāvokli. Tas var uzlabot sakaru sistēmas noturību pret signālu pārtveršanu, izmantojot koherento detektēšanu.

Haotisko signālu raksturīgā platjoslas daba ir labi piemērota šaurjoslas informācijas pārraidei. Līdz ar to haotisku signālu izmantošana informācijas kodēšanai rada izkliegtā spektra signālus ar lielāku joslas platumu un mazāku jaudas spektrālo blīvumu. Ar izkliegtā spektra signāliem saistītās priekšrocības, kas ir raksturīgas šai tehnoloģijai, iekļauj apgrūtinātu aklo detektēšanu, samazinātu vājinājumu no daudzceļu izplatīšanās un lielāku noturību pret traucējumiem, tādēļ haoss kļūst par izmaksu ziņā efektīvu un pielāgojamu vidi izkliegtā spektra sakariem.

1.2. Haosa un haotisko sakaru sistēmu īpašības

Ņemot vērā kvalitātes, drošības līmeņa un lietojuma iespēju atšķirības, sakaru sistēmas var izstrādāt gan analogai, gan digitālai pārraidei, balstoties haosa ģeneratoros. Šādu sistēmu izpēti un izmantošanu veicina vairāki faktori, tostarp turpmāk minētās haosā balstīto sakaru priekšrocības.

Pirmkārt, ir svarīgi atzīmēt, ka haosu un troksni var būt grūti atšķirt vienu no otra. Ir iespējams ģenerēt haotisku secību, kuras spektrs, statistiskās īpašības un autokorelācijas funkcija ir ļoti līdzīga atbilstošajiem stohastiska trokšņa parametriem. Tas savukārt atvieglo noteikta haotiska signāla pārraidi, kura klātbūtni ārējam novērotājam ir grūti pamanīt. Šādos gadījumos kļūst iespējama apslēpta ziņojumu pārraide, kas var būt īpaši nozīmīga militāros lietojumos.

Otrkārt, ja tiek izmantota haotiskā sinhronizācija, ziņojuma atkodēšanai ir nepieciešama specifiska aparatūra ar atbilstošiem parametriem. Tas apgrūtina neatļautu ziņojuma pārtveršanu, palielinot pārraides aizsardzības līmeni.

Treškārt, būtisks apsvērums ir informācijas apslēpšanas potenciāls. Tradicionālās sakaru sistēmās tiek izmantoti šifrēšanas protokoli, kur gan raidītājs, gan uztvērējs izmanto kopīgu slepeno atslēgu. Šī atslēga ir nepieciešama, lai dekodētu nosūtītos ziņojumus. Haotisko sakaru sistēmu kontekstā pati raidītāja sistēma darbojas kā dinamiska atslēga. Lai sekmīgi saņemtu ziņojumu, uztvērējam jāspēj sinhronizēties ar raidītāja dinamiku.

Visbeidzot, daudzas haotiskās sakaru sistēmas demonstrē ievērojamu noturību pret traucējumiem, ko izraisa daudzceļu izplatīšanās. Pārraides privātuma un aizsardzības nozīme sakaru infrastruktūrā ir kritiska, jo neatļauta piekļuve šādām sistēmām var apdraudēt sabiedrisko kārtību un drošību.

1.3. Haosa oscilatori, haotiskā sinhronizācija un modulācija

Šī apakšnodaļa sniedz īsu pārskatu par haosa oscilatoriem, haotiskās sinhronizācijas paņēmieniem un modulācijas metodēm, kas izmantotas haotiskās sakaru sistēmās ar gan nekoherentu, gan koherentu detektēšanu.

1.3.1. Haosa oscilatori

Haosa ģeneratori ir nelineāras dinamiskas sistēmas, kas pie konkrētiem parametriem un sākuma nosacījumiem demonstrē haotisku uzvedību. Šādas sistēmas var aprakstīt ar matemātisku modeli, izmantojot stāvokļa mainīgo diferenciālvienādojumus, un tās var realizēt arī fiziskā modeli (mehāniskā, elektroniskā vai citā). Haotiskas svārstības ir iespējamās nelineārā autonomā dinamiskā sistēmā, kas definēta kā sistēma, kura darbojas bez ārējas ierosmes un satur vismaz trīs stāvokļa mainīgos [3]. Paradigmatiskais elektroniskā haosa ģenerators piemērs ir Čua ķēde [21], vienkārša un plaši pētīta autonoma haotiska nelineāra dinamiska sistēma, kurai ir zināmi gan fiziskais, gan matemātiskais modelis. Tās koncepciju 1983. gadā ieviesa Kalifornijas universitātes profesors Leons Čua.

1.3.2. Haotiskās sinhronizācijas metodes

Haotisku nelineāru sistēmu pamatiezīme ir to augstā jutība pret sākuma nosacījumiem. Šī jutība nozīmē, ka divi identiski haosa ģeneratori pat ar nelielām sākuma nosacījumu atšķirībām ģenerēs atšķirīgas haotiskas izejas. Tomēr, ja šie ģeneratori ir savienoti noteiktā konfigurācijā, to stāvokļa mainīgie sakrīt pa identiskiem ceļiem, rezultātā veidojot haotisko sinhronizāciju. Šī procesa rezul-

tāts ir abu haosa ģeneratoru stāvokļa mainīgo sakritība, neskatoties uz to, ka sākuma nosacījumi ir atšķirīgi. Sinhronizācija ir iespējama tikai tad, ja sistēmas ir savienotas noteiktā veidā. Intensīvi pētījumi haotisko sakaru sistēmu jomā sākās 1990. gadā, kad tika piedāvāts izturīgs risinājums haosa ģeneratoru sinhronizācijai [22]. Teorētiskie un eksperimentālie pierādījumi ir apliecinājuši divu haotisku signālu sinhronizācijas iespējamību, īstenojot vadošais–vadāmais konfigurāciju haotiskajā sistēmā [23].

1.3.3. Haotiskās modulācijas shēmu veidi

Haotiskās sakaru sistēmas darbojas pēc principiem, kas ir analogiski izkļiedētā spektra tehnikām, kurās raidītājs paplašina informācijas signāla joslas platumu plašākā pārraides diapazonā, bet uztvērējs to sašaurina detektēšanas un demodulācijas laikā. Neskatoties uz šo sistēmu lielāku sarežģītību salīdzinājumā ar šaurjoslas sistēmām, tām piemīt labāka tolerance pret daudzceļu ietekmēm un tās ļauj efektīvi dalīt frekvences starp vairākiem lietotājiem. Būtisks ierobežojums, kas jāņem vērā, ir precīzas sinhronizācijas nepieciešamība starp identiskiem haotiskajiem oscilatoriem raidītājā un uztvērējā. Šī sinhronizācija pieprasa augstu precizitātes līmeni, lai nodrošinātu optimālu veiktspēju.

Pamatā šīs sistēmas var iedalīt divās atšķirīgās klasēs: koherentas un nekoherentas. Katrai no šīm kategorijām ir savs unikāls kompromisu kopums [24]. Koherentās sistēmas, kuru piemērs ir haotiskā manipulācija (angļu val. *chaos shift keying, CSK*) [25], izmanto haotisko sinhronizāciju, lai uztvērējā atdarinātu raidītāja oscilatora stāvokli, tādējādi uzlabojot datu drošību, izmantojot šo vadošā–vadāmā savienojumu. Tomēr tas tiek panākts uz samazinātas noturības pret troksni rēķina, jo sistēma ir jutīga pret parametru neatbilstībām un kanāla izkropļojumiem. Savukārt nekoherentās sistēmas, kuru piemērs ir diferenciālā haotiskā manipulācija (angļu val. *differential chaos shift keying, DCSK*) [26], manipulē ar haotisko signālu raksturlielumiem bez sinhronizācijas, tādējādi vienkāršojot uztvērēja arhitektūru un uzlabojot noturību pret troksni. Tomēr šāda pieeja kompromitē fiziskā slāņa signāla aizsardzību. Praktiski biežāk tiek izmantoti nekoherentie varianti, jo tie ir vienkāršāk ieviešami un nodrošina pietiekamu noturību pret troksni lietojumiem, kuros paaugstināta signāla aizsardzība nav izšķiroša. Abi veidi izmanto haotisko signālu nelineāro, platjoslas dabu efektīvai modulācijai.

1.4. FPGA realizācija kā alternatīva analogajai realizācijai

Haosa oscilatori tradicionāli ir realizēti ar analogo elektronisko shēmu palīdzību, piemēram, Čua [21, 27] vai Rēslera [28] konstrukcijām, kā arī tādām variācijām kā Sprota [13, 29] shēma vai Kolpica oscilators [9, 30], kuros tiek izmantoti rezistori, kondensatori, induktori, pastiprinātāji, tranzistori un diodes, lai uzturētu nelineāras svārstības haotiskā režīmā [15]. Šīs sistēmas var modelēt ar vienkāršiem *ODE*, kas apraksta to dinamisko uzvedību. Tomēr analogo haosa ģeneratoru izmantošana sakaru lietojumos rada ievērojamus sarežģījumus, tostarp jutību pret parametru dreifu vides ietekmju dēļ, piemēram, temperatūras, mitruma vai barošanas sprieguma izmaiņām, kuras darbības laikā nevar viegli kompensēt. Šāda nestabilitāte apgrūrina uzticamu haotisko sinhronizāciju, kas ir būtiska

identisku vadītāja un vadāmā oscilatora saskaņošanai. Analogajām ķēdēm trūkst arī kontroles pār ģeneratoru sākuma nosacījumiem [24].

Lai pārvarētu šos ierobežojumus, daži pētnieki ir pārgājuši uz diskrētām digitālām realizācijām, it īpaši izmantojot *FPGA*, kas ļauj skaitliski risināt *ODE*, lai deterministiskā veidā aprēķināt haotisko dinamiku [10, 16]. Šī pieeja novērš dreifa problēmas, atbalsta augstas ātrdarbības paralēlu apstrādi, izmantojot konveijerizāciju, un ļauj veikt elastīgu prototipēšanu ar aparātūras projektēšanas valodām (angļu val. *hardware description language, HDL*) [5, 6]. Tādējādi *FPGA* piedāvā ievērojamas priekšrocības haotiskajām sakaru sistēmām, tostarp augstāku skaitļošanas caurlaidspēju un pielāgojamību standartiem. Tomēr *FPGA* projektos joprojām pastāv izaicinājumi, piemēram, resursu izmantošanas optimizācija, stabilitātes nodrošināšana pie augstām taktsfrekvencēm, piemērotu datu kopnes platumu izvēle fiksētā vai peldošā komata formātos un *ODE* risināšanas metožu izvēle, kas visi ietekmē signāla precizitāti, stabilitāti un kopējo sistēmas efektivitāti. Pieaugot *FPGA* platformu pieejamībai, atjaunojas interese par haotiskām sistēmām, ļaujot izstrādāt efektīvus, uzticamus prototipus, kas līdzsvaro veiktspēju ar praktiskiem ierobežojumiem.

1.5. Haotisko sistēmu *FPGA* realizāciju apskats

Mūsdienu apstākļos dažādās nozarēs arvien pieaug nepieciešamība pēc moderniem sakaru risinājumiem ar uzlabotu signāla aizsardzību. Tomēr dažādu zinātnisko publikāciju par uz *FPGA* integrētiem haosa ģeneratoriem un saistītajām sakaru sistēmām apskats (apkopots turpmāk) rāda, ka šādi pētījumi ir salīdzinoši reti, salīdzinot ar haotiskām sistēmām, kas balstās citās analogās vai digitālās platformās [24]. Šī pētījumu nepietiekamība, kas vērsta uz *FPGA* izmantošanu haotisko sakaru kontekstā, var būt saistīta ar salīdzinoši neseno tehnoloģijas attīstību un zema līmeņa programēšanas sarežģītību, kas ir būtiska *FPGA* konfigurēšanai. Līdz ar ko pastāv nepieciešamība veikt plašākus pētījumus par uz *FPGA* realizētām haotiskām sakaru sistēmām, lai noskaidrotu to stiprās puses, ierobežojumus un iespējamus lietojumus.

Daži aktuālie pētījumi, kas iekļauj haotiskas sakaru sistēmas, realizētas ar *FPGA*, ir apkopoti 1.1. tabulā. Šī attīstība iezīmē pāreju ārpus haosa ģenerēšanas un sinhronizācijas paņēmieni izpēti uz praktisku sakaru sistēmu koncepciju izstrādi un verifikāciju.

Salīdzinājumā ar apskatītajiem iepriekšējiem pētījumiem šim darbam piemīt gan atšķirīgas, gan kopīgas iezīmes.

- Šajā darbā ir iekļauts pielāgots modificēts Čua ģenerators un kļūdu atgriezeniskās saites sinhronizācijas metode. Pirmais elements ir jauns, kas nav sastopams citu autoru iepriekšējos darbos, bet otrais ir sastopams tikai vienā no apskatītiem darbiem.
- Modulācija izmanto divas jaunas modulācijas shēmas: *AM-ACSK* un *FM-ACSK*. Šīs jaunās shēmas ir sarežģītākas nekā, piemēram, haotiskā maskēšana, un tās iepriekš nav pētītas apskatītajās *FPGA* sistēmās.
- *ODE* risināšanai tiek izmantota Eilera metode, kas nodrošināta pietiekamu aprēķinu precīzi-

Haotisko sakaru sistēmu, kas realizētas uz *FPGA*, pārskats

1.1. tabula

Raksts	Haosa ģenerators	Haotiskās sinhronizācijas metode	Modulācija	<i>FPGA</i> prot. maks. takts frekvence, MHz	<i>ODE</i> diskrētās risināšanas metode	Maks. caurlaid-spēja, Gbps	Sistēmas bitu platums (veselie skaitļi ar zīmi + daļskaitļi)
[31]	modificēta Čua	<i>Pecora-Caroll</i>	autoru, digitāls algoritms	nav minēts	Eilera	nav minēts	32 (nav minēts)
[23]	Lorenca	autoru	haotiskā maskēšana	nav minēts	nav minēts	nav minēts	27 (nav minēts)
[32]	autoru	Hamiltona formas	haotiskā maskēšana	275,71	Eilera	5,24	19(15+4)
[33]	autora un Sprota	nav	<i>COOK</i>	nav minēts	nav minēts	nav minēts	nav minēts
[34]	Rēslera	<i>Pecora-Caroll</i>	haotiskā maskēšana	70,9	Eilera	2,85	19(10+9)
[35]	autoru	Hamiltona formas	haotiskā maskēšana	1	Eilera	nav minēts	28(4+24)
[36]	Sprota	<i>Pecora-Caroll</i> , Hamiltona formas, <i>OPCL</i>	haotiskā maskēšana	116,4	Eilera, trapezoidālā, <i>RK-4</i>	3,26	28(7+21)
[37]	dažādi	Hamiltona formas	<i>16-C-PSK</i>	nav minēts	nav minēts	nav minēts	32
[38]	van Vika	nav	<i>DCSK-CDMA</i>	nav minēts	<i>RK-4</i>	nav minēts	40(21+19)
[39]	autoru	nav minēts	haotiskā maskēšana	31,8	<i>RK-4</i>	nav minēts	32(8+24)
[40]	autoru, neauto-noms digitāls	tieša saistīšana	haotiskā šifrēšana	nav minēts	nav piemērojams	nav minēts	nav minēts
[41]	<i>RCO</i>	kļūdu lineārā atgr. saite	2^{24} - <i>CPSK</i> + <i>CSS</i> + <i>WCDMA</i>	200	nav minēts	nav minēts	nav minēts
[42]	Čena	<i>PTCFNN</i>	haotiskā maskēšana	nav minēts	nav minēts	nav minēts	nav minēts
šeit	modificēta Čua	kļūdu lineārā atgr. saite	<i>AM-ACSK</i> / <i>FM-ACSK</i>	76	Eilera	1,06	vadošais: 14(6+8), vadāmais: 17(9+8)

tāti un stabilu realizāciju.

- Sasniedzamā maksimālā takts frekvence ir 76 MHz; tomēr sistēmu prototipi darbojas ar 50 MHz, izmantojot uz plates esošos resursus.
- Bitu platumi izmantotā fiksēta punkta formātā ir 14 biti raidītāja vadošā ģeneratorā un 17 biti

uztvērēja vadāmos ģeneratoros (ieskaitot zīmes bitu) ar 8 daļskaitļa bitiem.

- Maksimāli sasniedzamā caurlaidspēja haosa ģeneratoram ir 1,06 Gbps; šo kapacitāti ierobežo taktsfrekvence un bitu platums. Iespējami sistēmas uzlabojumi, piemēram, strukturāla pārprojektēšana un konveijerizācija, varētu nodrošināt augstāku caurlaidspēju, taču tie radītu arī lielāku sarežģītību un resursu patēriņu. Pašreizējā pieeja ir pietiekama, lai demonstrētu sistēmas konceptuālu dzīvotspēju.

1.6. Izaicinājumi haotiskās sakaru sistēmās

Haosā balstītu sakaru sistēmu jomā rodas būtiski izaicinājumi, īpaši saistībā ar uzticamas sinhronizācijas nodrošināšanu, kas ir būtiski koherentos risinājumos, kā arī parametru atšķirību novēršanu starp pārraides un uztveršanas pusēm. Vēl viena kritiska problēma ir līdzsvara uzturēšana starp haotiska kanāla aizsargājošajām īpašībām un tā ievainojamību pret traucējumiem, kas sistēmas izstrādes laikā ir rūpīgi jāpārvalda. Haotisko signālu formas paredzamība apvienojumā ar nekoherento pieeju vienkāršību var mazināt aizsardzības pasākumu efektivitāti. Savukārt haotisko mehānismu sarežģītības palielināšana var samazināt noturību pret vides traucējumiem un signāla traucējumiem. Jaunu, efektīvāku un praktiskāku haosa modulācijas stratēģiju izstrāde joprojām ir būtisks mērķis, lai paaugstinātu haotisko sakaru tehnoloģiju atpazīstamību salīdzinājumā ar ierastajām alternatīvām.

1.7. Ievads pētījumā

Neraugoties uz iepriekš minētajiem izaicinājumiem, pastāv liela pārliecība par *CSK* potenciālu nodrošināt uzticamu haotisku sakaru sistēmu. *FPGA* platformu ieviešana ir ļāvusi izstrādāt haosa ģeneratorus, kuri precīzi atbilst vēlamajām specifikācijām un kuros sākuma stāvokļi ir viegli kontrolējami. Šī attīstība būtiski ietekmējusi pētījumu nozari, jo īpaši koherento haotisko ietvaru un *CSK* modeļu kontekstā. Šis progress ļauj empīriski novērtēt *CSK* sistēmas reālos apstākļos, tādējādi nosakot nepieciešamību konceptualizēt, konstruēt un novērtēt jaunus uz *FPGA* balstītus risinājumus kā fundamentālu atskaites punktu.

Šajā pētījumā piedāvātie *AM-ACSK* un *FM-ACSK* haotisko sakaru sistēmu raiduztvērēju prototipi ietver gan digitālus, gan analogus komponentus. Digitālais segments, kas realizēts uz *FPGA*, ietver modulētājus un demodulētājus, kā arī moduļus pārraidītā un uztvertā signāla apstrādei. Savukārt savienojums starp raidītāju un uztvērēju notiek analogajā teritorijā, izmantojot *DAC* un *ADC*.

AM-ACSK dizaina pamatojums izriet no nepieciešamības apvienot haotisko signālu aizsargājošās priekšrocības ar amplitūdas modulācijas ērtu pārneš uz nesējfrekvenci, tādējādi iegūstot vienkāršotu aparatūras konfigurāciju, kas saglabā pseidogadījuma raksturlielumus apslēptiem sakariem. Šī kombinētā stratēģija pārvar tradicionālajām haotiskajām arhitektūrām raksturīgos ierobežojumus, pārvietojot pamatjoslas *ACSK* viļņformu uz starpfrekvenču diapazonu.

FM-ACSK variants balstās uz šo pamatu, iekļaujot frekvences modulāciju, tādējādi pastiprinot

aizsardzību pret nesēja nobīdēm un kanāla nevienmērībām, vienlaikus veicinot smalkāku spektra pārvaldību un vienmērīgu apliecinājumu [43]. Šī konfigurācija balstās iepriekš neizpētītā frekvenču strāvēģijā un haotisko signālu īpašību kombinācijā, paplašinot tās lietojamību radio balstītās sistēmās. Realizējot to uz *FPGA*, tiek izmantota ātra darbība un pielāgojama konfigurācija, bet *Simulink* digitālo komponentu simulācijas modelis nodrošina precīzus salīdzinājumus starp aparātūras rezultātiem un simulāciju aprēķiniem.

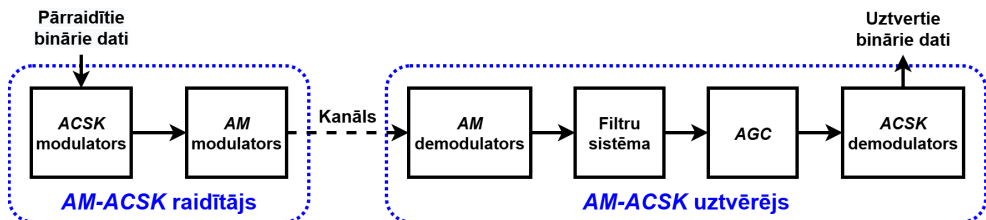
1.8. Secinājumi

Šī nodaļa veltīta haosa lietojuma pārskatam sakaru sistēmās, ietverot to vēsturisko kontekstu, pamatīpašības, haosa oscilatorus, sinhronizācijas metodes, modulācijas shēmas, *FPGA* lomu kā alternatīvu analogajām realizācijām, esošo *FPGA* balstīto haotisko sistēmu pārskatu, galvenos izaicinājumus un ievadu pētījumam par jaunajiem haosā balstīto sakaru sistēmu prototipiem. Aplūkotas galvenās tēmas, tostarp haotisko signālu aperiodiskā un platjoslas daba, nekoherento un koherento modulācijas paņēmieni piemēri un digitālās *FPGA* prototipēšanas priekšrocības uzticamības un veikspējas ziņā, lai izveidotu teorētisko pamatu haotiskām sakaru sistēmām. Nākamajās nodaļās aplūkota *AM-ACSK* un *FM-ACSK* sistēmu projektēšana, realizācija un eksperimentālā verifikācija.

2. AM-ACSK HAOTISKĀS SAKARU SISTĒMAS APRAKSTS

Šajā nodaļā sniegts visaptverošs *AM-ACSK* haotiskās sakaru sistēmas raiduztvērēja pārskats, kas ir jauna pieeja, apvienojot haotisko dinamiku ar amplitūdas modulāciju. Pārskats sākas ar galveno komponentu – haosa ģeneratora, haotiskās sinhronizācijas mehānismu un pamatjoslas modulācijas – matemātisko modelēšanu. Tam seko tā digitālās realizācijas apskats uz *FPGA*. Pēc tam aplūkotas signālapstrādes ķēdes, ko izmanto raidītājs un uztvērējs, tostarp modulācija, demodulācija, filtrēšana, pastiprinājuma kontrole, simbolu laika sinhronizācija un bitu detektēšana. *AM-ACSK* sistēma daļēji balstās autora *ACSK* haotiskās sakaru sistēmas prototipa dizainā [12, 19].

2.1. att. parāda *AM-ACSK* sakaru sistēmas vienkāršoto kopējo arhitektūru. *AM-ACSK* raidītājā nosūtītie binārie dati vispirms tiek apstrādāti ar *ACSK* modulatoru, kas pārvērš datus haotiskā viļņformā. Pēc tam signāls tiek padots caur *AM* modulatoru, kas pārceļ signālu uz nesējfrekvenci.



2.1. att. Vienkāršota *AM-ACSK* sakaru sistēmas kopējā arhitektūra.

Uztvērēja pusē *AM* demodulators apstrādā signālu, filtrs noņem kanāla troksni un nevēlamās frekvences. *AGC* modulis stabilizē signāla amplitūdu. Visbeidzot, *ACSK* demodulators dekodē

haotisko viļņformu, rezultātā iegūstot uztvertos bināros datus.

2.1. AM-ACSK sakaru sistēmas matemātiskais modelis

2.1.1. Modificēts Čua haosa ģenerators

Izstrādātā sakaru sistēma izmanto ceturtnās kārtas haosa ģeneratoru, kas balstīts modificētā Čua shēmā [44], ko definē šāda *ODE* sistēma:

$$\begin{cases} \frac{dp_1}{dt} = -g(p_1, p_3) - p_2 \\ \frac{dp_2}{dt} = p_1 + \gamma p_2 \\ \frac{dp_3}{dt} = \theta[g(p_1, p_3) - p_4] \\ \frac{dp_4}{dt} = \sigma p_3 \end{cases} \quad (2.1.)$$

Posmveida lineārā funkcija ir definēta šādi:

$$g(p_1, p_3) = \begin{cases} c(p_1 - p_3 - d) & (p_1 - p_3) > d \\ 0 & (p_1 - p_3) \leq d \end{cases} \quad (2.2.)$$

Šeit p_m apzīmē sistēmas stāvokļa mainīgos, un parametri $\sigma = 1,5$, $\gamma = 0,5$, $c = 3$ un $d = 1$ ir reāli skalāri lielumi, kas nodrošina stabilu haotisku ģeneratora uzvedību, kā parādīts [20]. Haotiskais izejas signāls no ģeneratora, $r_{out}(t)$ tiek iegūts kā stāvokļa mainīgo un posmveida lineārās funkcijas svērta kombinācija:

$$r_{out} = p_1 k_1 + p_2 k_2 + p_3 k_3 + p_4 k_4 + g(p_1, p_3), \quad (2.3.)$$

kur $k_1 = -2,6302$, $k_2 = -0,6054$, $k_3 = 0,5870$ un $k_4 = 0,7763$ ir svara koeficienti. Šie koeficienti ļauj pielāgot haosa ģeneratora izejas signāla parametrus, nemainot primāros haotiskos *ODE*.

2.1.2. Kļūdu atgriezeniskās saites haotiskā sinhronizācija

Haotiskā sinhronizācija starp vadošo un vadāmo modificēto Čua haosa ģeneratoru ir īstenota, izmantojot kļūdu lineārās atgriezeniskās saites tehniku, kur vadošais ģenerē haotisku signālu, pamatojoties uz vienādojumu (2.3.), aprēķinot savu stāvokļa mainīgo p_m un posmveida lineārās funkcijas $g(p_1, p_3)$ svērto summu. Šis signāls, pārraidīts kā r_{out} , kalpo kā ieejas signāls r_{in} vadāmajam ģeneratoram, kuram nav savas posmveida lineārās funkcijas un kurš tā vietā rekonstruē $g'(p'_1, p'_3)$, atņemot sava stāvokļa mainīgo svērto summu $p'_1 k_1 + p'_2 k_2 + p'_3 k_3 + p'_4 k_4$ no ienākošā r_{in} :

$$g'(p'_1, p'_3) = r_{in} - (p'_1 k_1 + p'_2 k_2 + p'_3 k_3 + p'_4 k_4), \quad (2.4.)$$

tādējādi nodrošinot vienkāršu, bet efektīvu atgriezeniskās saites cilpu haotiskajai sinhronizācijai. Vadāmā ģeneratora izeja atkārtο vadošā ģeneratora struktūru, bet ietver absolūto vērtību $|g'(p'_1, p'_3)|$

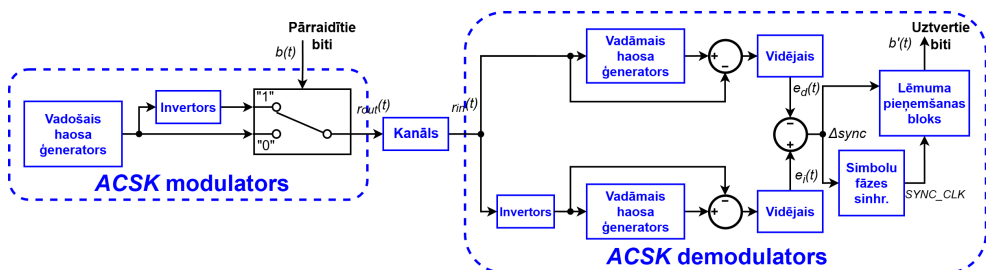
sakarā ar $g(p_1, p_3)$ nenegatīvo raksturu. Tā inversija notiek tad, ja tiek uztverts invertēts $r_{out}(t)$ signāls, kā rezultātā $g'(p'_1, p'_3)$ iegūst negatīvas vai nulles vērtības, kuras absolūtā vērtība atkal koriģē uz pozitīvām. Šī īpašība ļauj iegūt sinhronizācijas kļūdas signālu e_{SYNC} , no vadāmā ģeneratora izejas atņemot tā ieeju:

$$e_{SYNC} = p'_1 k_1 + p'_2 k_2 + p'_3 k_3 + p'_4 k_4 + |g'(p'_1, p'_3)| - r_{in}. \quad (2.5.)$$

2.1.3. ACSK pamatjoslas modulācija

2.2. att. parādīta ACSK [45] modulācijas un demodulācijas procesa vienkāršotā struktūra pamatjoslas kanālā. Šajā shēmā raidītājā izmantots vadošais haosa ģenerators, lai radītu sākotnējo haotisko signālu, kas pēc tam tiek padots nosacījuma invertoram. Invertors izveda vai nu sākotnējo signālu $r_{out}(t)$, vai tā inversiju atkarībā no pārraidīto datu bitu $b(t)$ vērtībām. Līdz ar to raidītājs pārslēdzas starp tiešo un invertēto haotisko signālu atkarībā no bita vērtības.

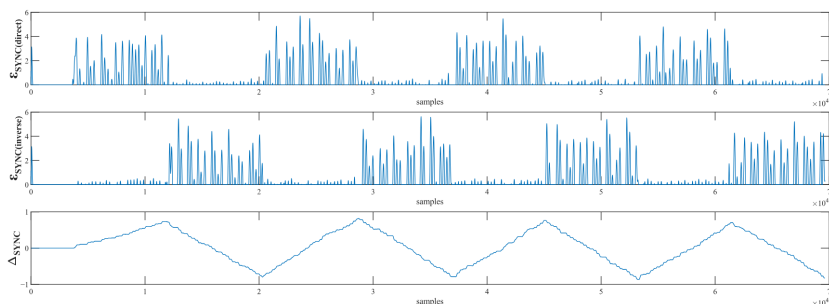
Uztvērējā ienākošais signāls $r_{in}(t)$ tiek apstrādāts divos vadāmos haosa ģeneratoros: viens apstrādā tiešo signālu, bet otrs – invertēto kopiju. Haotiskā sinhronizācija notiek tikai vienā no šiem ģeneratoriem atkarībā no uztvertā signāla iepriekšējā inversijas stāvokļa. Katram vadāmajam ģeneratoram tiek ģenerēti kļūdu signāli, no tā izejas atņemot ieeju, pēc tam tos izlīdzinot ar slidošā loga vidējošanas bloku palīdzību. Iegūtās kļūdas $e_d(t)$ tiešajam ceļam un $e_i(t)$ invertētajam ceļam tiek atņemtas viena no otras, lai salīdzinātu sinhronizācijas līmeni. Šī starpība (Δ_{sync}) pēc tam tiek izmantota uztverto datu bitu $b'(t)$ noteikšanai lēmuma pieņemšanas blokā, izmantojot simbolu fāzes sinhr. $SYNC_CLK$ sinhronizācijas bloku laika sinhronizācijas atjaunošanai.



2.2. att. ACSK modulatora un demodulatora izkārtojums ar vienkāršotu pamatjoslas kanālu.

Simbola ilgums ir 8192 nolases (2^{13}), un katra nolase ilgst 20 ns, kas atbilst 50 MHz oscilatora takts periodam *FPGA* prototipā. Šis pats diskretizācijas laiks izmantots arī *Simulink* matemātiskajā modelī.

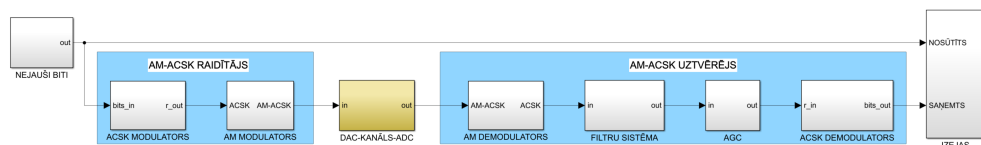
2.3. att. parādīti principi, kas ļauj noteikt bitus, attēlojot abu vadāmo ģeneratoru sinhronizācijas kļūdas bitu secības "10101010" pārraides laikā, kā arī to vidējo vērtību starpību (Δ_{sync}). Tā kā Δ_{sync} zīme korelē ar bita vērtību, pārraidīto datu noteikšana būtībā nozīmē Δ_{sync} salīdzināšanu ar nulli derīgajos simbolu laika logos.



2.3. att. Synchronizācijas kļūdu ieraksti (no augšas uz leju): tiešā ieeja vadāmajā ģeneratorā, invertētā ieeja vadāmajā ģeneratorā un to vidējā starpība (Δ_{sync}) bitu secības “10101010” pārraidei.

2.1.4. AM-ACSK sakaru sistēmas Simulink modelis

2.4. att. parādīti AM-ACSK sakaru sistēmas galvenie moduļi *Simulink* vidē. Visi modeļi izmantotie signāli ir fiksētā punkta formātā, lai atbilstu digitālajai realizācijai *FPGA*. Signālapstrādes moduļi galvenokārt ņemti no *Simulink HDL Toolbox* bibliotēkas un ir piemēroti *VHDL* koda ģenerēšanai. Modelis izmanto diskretu risinātāju bez nepārtrauktiem stāvokļiem un fiksētu 20 ns diskretizācijas soli, kas atbilst *FPGA* dizainā izmantotajai 50 MHz diskretizācijas frekvencei.



2.4. att. AM-ACSK sistēmas *Simulink* modeļa augšējā līmeņa skats.

2.2. AM-ACSK sakaru sistēmas projektēšana *FPGA* realizācijai

Šajā apakšnodaļā aprakstīta *FPGA* balstīta AM-ACSK raiduztvērēja realizācija. Prototipa uzstādījumā ietilpst digitāls raidītājs un uztvērējs uz *Altera Cyclone V 5CSXFC6D6F31C6N FPGA*, ko darbina iebūvēts 50 MHz taktētājs. Analogais kanāls ir realizēts ar 62 cm koaksiālo kabeli, kas savieno AD9767 14 bitu *DAC* un AD9248 14 bitu *ADC*, abi montēti uz *Terasic THDB-ADA_HSMC* paplašinājuma plātes, kura ar ātrdarbīgās izvērse plātes (angļu val. *high speed mezzanine card*, *HSMC*) saskarni savienojas ar *Arrow SoCKit* izstrādes platformu. Šīs sadaļas apspriede koncentrējas uz sistēmas digitālajiem aspektiem – modulāciju, demodulāciju un signālapstrādi.

2.2.1. Modificētā Čua haosa ģenerators digitālā realizācija

Lai nepārtrauktā laika nelineāro haotisko sistēmu realizētu *FPGA*, kas galvenokārt paredzēta diskrētām digitālajām shēmām, būtiskie lēmumi iekļauj atbilstošas skaitliskās metodes izvēli *ODE* risināšanai un piemērotas binārās reprezentācijas izvēli signālu datiem [20]. *ODE* diskrētai risināšanai izmantota Eilera metode, kas nodrošina vienkāršību, stabilitāti, konverģenci un minimālu *FPGA* aparatūras resursu patēriņu salīdzinājumā ar sarežģītākām alternatīvām, piemēram, ceturtās pakāpes

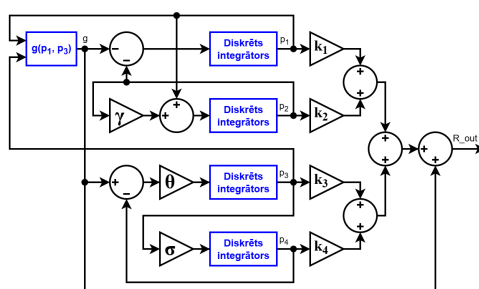
Runge-Kuta (angļu val. *fourth-order Runge-Kutta, RK-4*) metode. Eilera metode aprēķina risinājumus ar iteratīvo formulu $y_{n+1} = y_n + hf(y_n)$, kur y_n apzīmē pašreizējo stāvokli, y_{n+1} – nākamo aprēķinu, h – integrācijas soli un $f(y_n)$ – atvasinājuma funkciju; precizitāte uzlabojas, samazinoties h līdz nullei. Šajā dizainā h ir iestatīts uz $(20 \times 50 \times 10^6)/1024$, līdzsvarojoš precizitāti ar *FPGA* realizācijas vienkāršību, savukārt rupjāks solis, piemēram, $(20 \times 50 \times 10^6)/256$, izraisa diverģenci nepietiekamas aprēķinu precizitātes dēļ.

Piemērojot šo metodi haotiskās sistēmas *ODE* (2.1.), iegūst diskrēto formu:

$$\begin{cases} p_{1_{n+1}} = -g(p_{1_n}, p_{3_n}) - p_{2_n} \\ p_{2_{n+1}} = p_{1_n} + \gamma p_{2_n} \\ p_{3_{n+1}} = \theta[g(p_{1_n}, p_{3_n}) - p_{4_n}] \\ p_{4_{n+1}} = \sigma p_{3_n} \end{cases} \quad (2.6.)$$

Skaitliskajai apstrādei raidītājā signāli izmanto 14 bitu divnieka papildkoda fiksēta komata formātā ar zīmi, piešķirot 8 bitus daļskaitļa daļai un 5 bitus veselajiem un zīmes bitiem, kas nodrošina diapazonu no -32 līdz aptuveni $31,996$ ar izšķirtspēju ap $0,0039$ – pietiekamu haotiskā atraktora robežām un saskaņotu ar 14 bitu ierobežojumiem *DAC* un *ADC* saskarnēs. Uztvērējs galvenokārt paplašina to līdz 17 bitiem (8 daļskaitļa, 9 veselo/zīmes) labākai apstrādei un rezervi papildinošajam troksnim, lai gan atsevišķos moduļos signālu bitu platumi vajadzības gadījumā var atšķirties.

Generators struktūra, kas parādīta 2.5. att., sastāv no savstarpēji savienotiem moduļiem: integratoriem (veidotiem no saskaitītājiem un reģistriem, kas seko Eilera formulai, ar pagaidu bitu platuma paplašināšanu un izejas noapaļošanu precizitātei), posmveida lineārā bloka $g(p_1, p_3)$ atbilstoši tā definējošajam vienādojumam (izmantojot saskaitītājus, komparatoru un multiplexoru bez bitu pielāgošanas), kā arī reizināšanu ar koeficientiem θ , σ un γ .



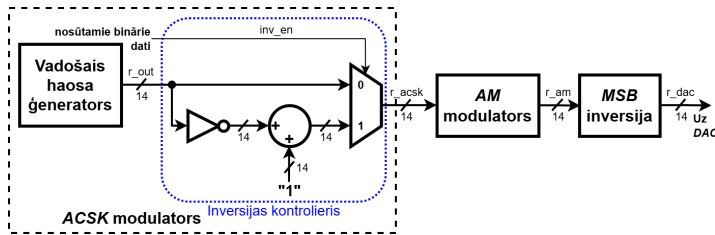
2.5. att. Modificētā Čua haosa ģenerators vispārējais realizācijas dizains.

2.3. AM-ACSK raidītāja signālapstrāde

Kā parādīts 2.6. att., signālapstrāde AM-ACSK raidītājā būtībā sastāv no ACSK modulācijas, kam seko AM modulācija. Process sākas ar vadošo haosa ģenerators, kas rada 14 bitu fiksētā punkta

pamatjoslas haotisko signālu (r_{out}), kas kalpo kā *ACSK* modulācijas nesējs. Šis signāls pēc tam tiek nosūtīts uz inversijas kontrolieri – kritisku moduli, kur binārie dati (inv_en) modulē nesēju ar antipodālu pārslēgšanos, kas ir *ACSK* raksturīga iezīme. *ACSK*-modulētais izejas signāls r_{acsk} ir vienāds ar vai nu invertētu ($-r_{out}$), ja $inv_en = 1$, vai arī nodotu (r_{out}) bez izmaiņām, ja $inv_en = 0$, iepriekš noteiktā 8192 nolašu simbola laikā.

Pēc tam *ACSK*-modulētais signāls r_{acsk} tiek padots *AM* modulatoram. Šis modulators pārceļ signālu uz nesējfrekvences joslu (r_{am}) sagatavošanai pārraidei. Tālāk visnozīmīgākā bita (angļu val. *most significant bit, MSB*) inversijas modulis pārveido signālu taisnās binārā nobīdes (angļu val. *straight offset binary, SOB*) formātā (r_{dac}), pārvietojot *AM-ACSK* signālu uz pozitīvām bezzīmes vērtībām. Tas nodrošina saderību ar *DAC* ieejas prasībām. Visbeidzot, apstrādātais digitālais signāls tiek nosūtīts uz *DAC*, kas to pārveido analogā viļņformā pārraidei.



2.6. att. *AM-ACSK* raidītāja struktūra un daži projektēšanas elementi.

2.3.1. *AM modulators*

2.7. att. parādīts *AM* modulators, kas *Simulink* vidē realizēts *FPGA* vajadzībām. Tā kā *ACSK*-modulētais signāls (14 bitu fiksēta komata formātā ar zīmi, kur 8 biti ir daļskaitļa daļā) svārstās līdz maksimālajām vērtībām $\pm 7,055$, to var kompakti ievietot 12 bitu fiksēta komata datu kopnē ar zīmi un 8 bitiem daļskaitļa daļā. Izmantojot izslēdzošo VAI (angļu val. *exclusive OR, XOR*) operāciju ar augstu *MSB* masku, iegūst invertētu *MSB* vērtību, kas būtībā pievieno līdzstrāvas komponenti 8. Šādi nobīdītu *ACSK* signālu interpretējot kā bezzīmes, tas svārstās starp 15,055 un 0,945. Tad tas ir gatavs reizināšanai ar nesēju.

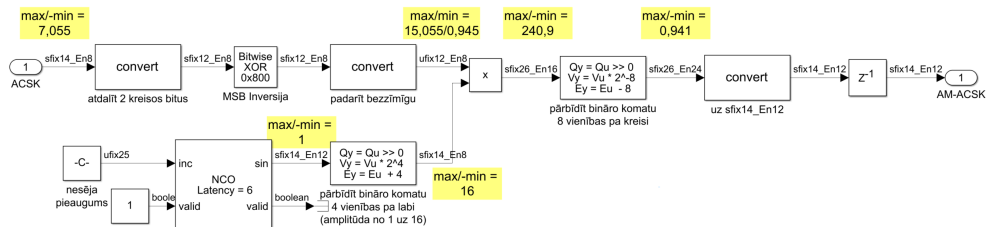
AM nesējs tiek ģenerēts, izmantojot *NCO*, kas ir *Simulink* ciparu signālu apstrādes (angļu val. *digital signal processing, DSP*) *HDL Simulink* bibliotēkas bloks, kurš digitāli sintezē 10,7 MHz sinusoidālu signālu, izmantojot saspiestu pārlūktabulu (angļu val. *lookup table, LUT*). *NCO* izmanto 26 bitus akumulatoram, 13 bitus fāzes kvantēšanai un vēl 13 bitus fāzes izkļiedšanai. Šie parametri nodrošina aptuveni 1 Hz izejas frekvences izšķirtspēju un apmēram 90 dB dinamisko diapazonu, brīvu no parazītiskiem izstarojumiem (angļu val. *spurious-free dynamic range, SFDR*). Nesēja pieauguma parametrs, kas ir ekvivalents 14 361 297, nosaka 10,7 MHz nesēja izeju. To aprēķina šādi:

$$\text{nesēja pieaugums} = \text{round}(F_0 \times 2^N \times dt), \quad (2.7.)$$

kur F_0 ir vēlamā nesējfrekvence, N ir akumulatorā izmantoto bitu skaits, $\text{round}()$ ir noapaļošanas

funkcijas līdz veselajam skaitlim, bet dt ir diskretizācijas solis (20 ns).

Lai gan NCO izeja ir ierobežota līdz amplitūdai 1, binārā punkta pārbīdē par četriem bitiem pa labi palielina nesējsignāla maksimālo absolūto vērtību no 1 līdz 16. Tas nodrošina, ka AM modulācijas indekss ($15,055/16 = 0,9409375$) ir relatīvi tuvs 1. Tas ir būtisks faktors AM - $ACSK$ trokšņu noturības veiktspējai. Svarīgi atzīmēt, ka demodulācijai tiek izmantoti tikai 215 kHz no $ACSK$ signāla, bet pārējais tiek nofiltrēts. Līdz ar to AM - $ACSK$ signāla joslas platums ir $215 \times 2 = 430$ kHz.



2.7. att. AM modulatora AM - $ACSK$ raidītāja *Simulink* shēma.

2.4. AM - $ACSK$ uztvērēja signālapstrāde

Ienākošajam signālam pirms tā efektīvas apstrādes ar $ACSK$ demodulatoru ir nepieciešama priekšapstrāde. Kā parādīts 2.8. att., 14 bitu SOB digitālais signāls no ADC (r_{adc}) sākotnēji tiek transformēts MSB inversijas blokā. Tas pārvieto AM - $ACSK$ signālu no pozitīvām bezzīmes vērtībām uz divnieka papildkoda fiksēta komata formātu ar zīmi (r_h). Pēc tam AM demodulatora bloks atjauno $ACSK$ signālu pamatjoslas frekvencēs (r_l). Turpmākajā apstrādē ietilpst filtru sistēmas posms, kas noņem nevēlamās frekvences un uzlabo signālu (r_f). Tad AGC bloks pielāgo signāla līmeni (r_{in}). Iegūtais apstrādātais signāls tiek padots $ACSK$ demodulatoram, kas iegūst pārraidītos bināros datus. Dažu šo moduļu konstrukcija ir aprakstīta turpmāk.



2.8. att. AM - $ACSK$ uztvērēja struktūra.

2.4.1. AM demodulators

Šis sakaru sistēmas AM demodulators spēlē izšķirošu lomu pamatjoslas $ACSK$ signāla atgūšanā no AM nesēja. Tas ir izstrādāts vienkāršībai un efektivitātei aparātūras resursu ierobežotās vidēs. Sarežģītu nesējfāzes atjaunošanas mehānismu vietā tiek izmantota nekoherenta apliecības detektēšanas pieeja. Kā parādīts 2.9. att., pirmajā darbībā tiek aprēķināta ienākošā AM - $ACSK$ signāla absolūtā vērtība. Tas faktiski iztaiso modulēto viļņformu un izdala tās apliecēju. Šis solis rada vienpolāru signālu, kas aptuveni atbilst sākotnējās $ACSK$ modulācijas apliecējai, taču tas arī ievieš harmoniskus kropļojumus un līdzstrāvas nobīdi. Lai mazinātu līdzstrāvas komponenti, tiek izmantots DC

Blocker modulis no *Simulink* bibliotēkas, kas konfigurēts integratoru ķēmmju kaskādes (angļu val. *cascaded integrator-comb*, *CIC*) filtra režīmā ar diferenciālo aizturi, kas vienāds ar 8192 nolasēm. *CIC* filtri ir labi piemēroti *FPGA* realizācijai ar zemu resursu patēriņu. Šī filtrēšana centrē apliecēju ap nulli, atjaunojot bipolāru reprezentāciju, kas vairāk atgādina sākotnējo *ACSK* haotisko nesēju, vienlaikus pievienojot tikai nelielus spektrālus kropļojumus tuvu 0 Hz.



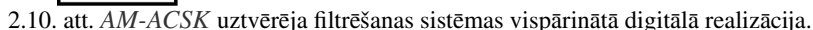
2.9. att. *AM* demodulatora *Simulink* shēma *AM-ACSK* uztvērējā.

Svarīgi atzīmēt, ka *AM* demodulācija netiek pilnībā realizēta tikai šajā modulī. Absolūtās vērtības aprēķināšana rada nevēlamas augstfrekvences komponentes, tostarp nesējfrekvences harmonikas un starpmodulācijas produktus, kas veidojas haotiskā signāla platjoslas rakstura dēļ. Šīs nevēlamās spektrālās komponentes tiek nomāktas turpmākajā filtrēšanas posmā, kas slāpē frekvences ārpus vēlamās pamatjoslas.

2.4.2. Filtru sistēma

Lai uzlabotu *AM-ACSK* sakaru sistēmas noturību pret kanāla troksni un pabeigtu *AM* demodulāciju, filtrēšanas sistēma slāpē signāla komponentes nekritiskajās frekvenču joslās, vienlaikus saglabājot reģionus, kas ir būtiski haotiskajai sinhronizācijai – konkrēti tos, kas ir zem 6 kHz un diapazonā no 90 kHz līdz 215 kHz. Teorētiski to varētu paveikt vienots filtrs ar divām caurlaides joslām, taču tam būtu nepieciešama augsta kārtas un sarežģīts dizains, tādēļ šī pieeja izmanto vienkāršāku, zemākas kārtas filtru kaskādi. Kopējā filtru arhitektūra apvieno pazeminātu diskretizāciju, joslas aiztures posmu un paaugstinātu diskretizāciju, izmantojot tikai divus pamatdizainus: sestās kārtas bezgalīgas impulsa reakcijas (angļu val. *infinite impulse response*, *IIR*) pusjoslas zemfrekvences filtru ar robežfrekvenci 0,546 no Naikvista frekvences un divpadsmitās kārtas *IIR* joslas aiztures filtru. Kā parādīts 2.10. att., joslas aiztures filtrs tiek lietots iteratīvi sešas reizes, pēc katras iterācijas veicot divkāršu diskretizācijas frekvences pazemināšanu, pakāpeniski samazinot diskretizācijas frekvenci no 50 MHz līdz 781,25 kHz. Pēdējā pusjoslas filtra pielietojumā šajā pazemināšanas posmā tā efektīvā robežfrekvence sasniedz aptuveni 213,281 kHz, pietiekami tuvu mērķa 215 kHz vērtībai.

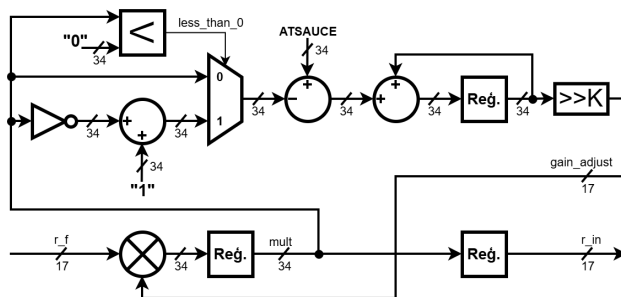
Šī pazeminātās diskretizācijas stratēģija ļauj izmantot vienkāršāku joslas aiztures filtru, lai novērstu 6–90 kHz diapazonu, ko citādi būtu grūti īstenot pilnā 50 MHz režīmā. Pēc joslas aiztures apstrādes signāls iziet sešus divkāršas diskretizācijas frekvences paaugstināšanas posmus, lai atjaunotu 50 MHz diskretizācijas frekvenci, kas ir būtiska turpmākai demodulācijai un sinhronizācijai. Pēc katra paaugstināšanas soļa signāls tiek mērogots ar koeficientu 2, izmantojot viena bita nobīdi pa kreisi, lai kompensētu pamatjoslas enerģijas vājinājumu, kas rodas spektra sadalīšanās dēļ pamatjoslas un pusdiskretizācijas frekvences komponentēs; nevajadzīgie augstfrekvences elementi pēc tam tiek slāpēti ar pusjoslas filtru katrā posmā. 2.10. att. parāda vispārināto digitālo realizāciju,



2.4.3. AGC

2.4.4. ACSK demodulācija

29



17 bitu signāla kopni visā uztvērējā, lai apstrādātu paaugstinātas signāla amplitūdas nesinhronizētos stāvokļos; iekšējās posmveida lineārās funkcijas $g(p_1, p_3)$ neesamību, kas tiek atjaunota, izmantojot negatīvās atgriezeniskās saites cilpu, un šīs rekonstruētās funkcijas absolūtās vērtības iekļaušanu izejas signālā.

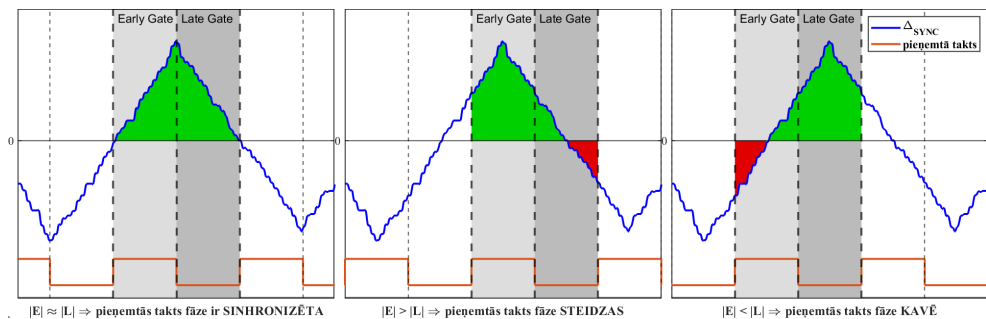
Katra vadāmā ģeneratora sinhronizācijas kļūda tiek iegūta, no izejas atņemot ieeju, pēc tam aprēķinot slidošā loga vidējo vērtību pār 8192 (2^{13}) nolasēm. Šis vidējošanas mehānisms balstās "pirmais iekšā - pirmais ārā" (angļu val. *first input first output, FIFO*) atmiņas buferī, kas spēj glabāt 8192 17 bitu datu ierakstus, sākotnēji izvada nulles, līdz ir pilns, un pēc tam cikliski atgriež saglabātās vērtības, sākot ar vecāko un beidzot ar jaunāko. Bufera izeja tiek atņemta no pašreizējās ieejas un padota akumulatoram, kas darbojas ar 30 bitu precizitāti, lai nodrošinātu 8192 locekļu summēšanu bez pārplūdes, jo $30 = 17 + 13$. Uzkrātais rezultāts pēc tam tiek mērogots, dalot ar 8192, izmantojot 13 bitu nobīdi pa labi, tādējādi iegūstot vidējo sinhronizācijas kļūdu. Abu vadāmo ģeneratoru vidējās kļūdas tiek savstarpēji atņemtas un izvērtētas lēmuma pieņemšanas modulī, lai noteiktu pārraidīto bitu vērtību, izmantojot simbolu fāzes sinhronizācijas moduli bitu laika saskaņošanai.

Reālās vides lietojumos pārraides ceļš starp raidītāju un uztvērēju ievieš neprognozējamās aiztūres, ko ietekmē fiziskais attālums, radot nenoteiktību precīzu katra pārraidītā simbola robežu noteikšanā (šajā uzstādījumā ir viens bits uz simbolu). Šo problēmu parasti risina ar simbolu laika sinhronizācijas kļūdas detektoru (angļu val. *timing error detector*, *TED*), kas analizē uztvērto signālu, lai noteiktu un koriģētu simbolu fāzes novirzes. Tas saskano uztvērēja taktētāju ar ienākošo datu plūsi.

mu. Starp izplatītākajām *TED* metodēm [46] lēmumā balstītas pieejas, piemēram, *Zero-Crossing* un *Mueller-Muller*, paļaujas uz simbolu apliecību un iepriekšējo datu novērojumu, savukārt no datiem neatkarīgas atgriezeniskās saites pieejas, tostarp *Gardner* un *early-late gate*, darbojas neatkarīgi no pārraidītā satura zināšanas, piedāvājot lielāku elastību aklai simbolu fāzes atjaunošanai.

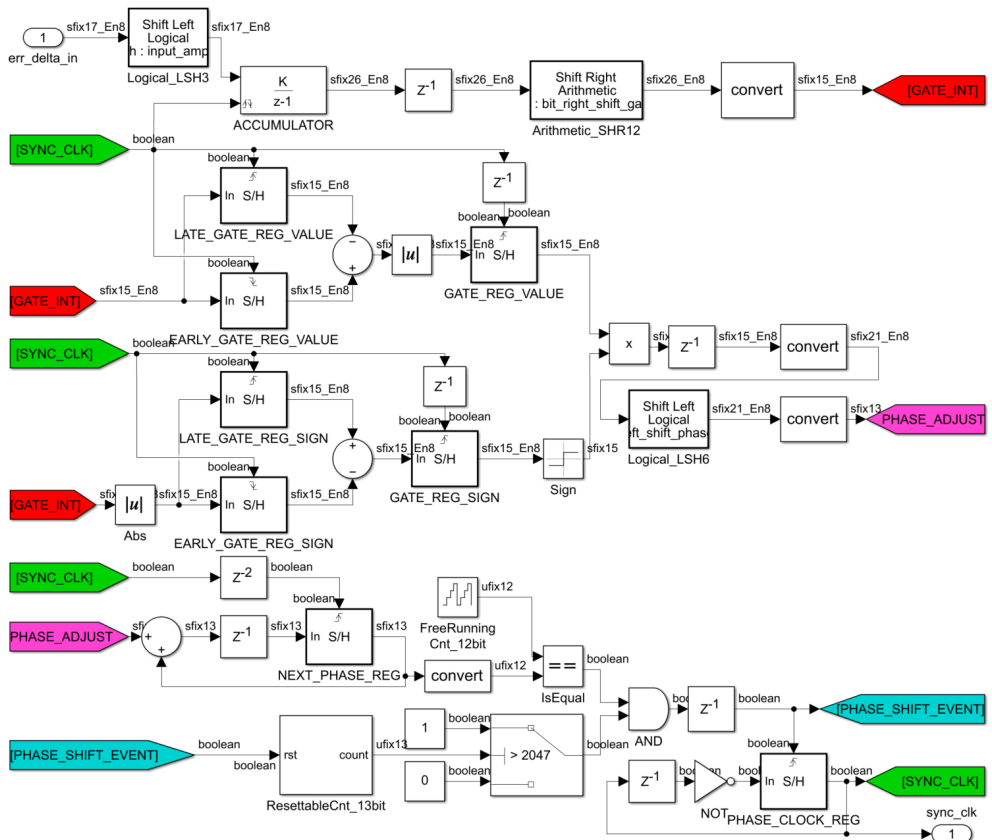
Šīs standarta metodes galvenokārt ir paredzētas tradicionālām digitālās modulācijas shēmām. Tomēr šīs haosā balstītās sakaru sistēmas ietvaros uztvērējs izmanto zināmu 8192 nolašu simbola ilgumu pie 50 MHz takts frekvences, un *ACSK* demodulatora Δ_{sync} izejas raksturlielumi korelē ar bitu vērtībām. Tas ļauj vienkārši īstenot aklu simbolu fāzes sinhronizāciju, izmantojot pielāgotu *early-late gate* (agro un vēlo vārtu) tehniku.

2.13. att. ir parādīts *early-late gate TED* darbības princips, kas lietots Δ_{sync} signālam. Tas izmanto divus integrācijas vārtus, kas summē signālu attiecībā pret pieņemto simbolu takts periodu tā sākotnējā un beigu pusē, kur takts periods atbilst 8192 nolašu simbolam bez papildu korekcijām. Ja pieņemtās takts periods perfekti sakrīt ar simbolu laiku, vārtu rezultāti atšķiras minimāli, signalizējot par veiksmīgu simbolu fāzes sinhronizāciju. Nesakritības rada ievērojamu starpību, kuras polaritāte norāda nobīdes virzienu (steidzas vai kavē), bet tās lielums nosaka nepieciešamo korekciju. Šī kļūda tiek padota atgriezeniskās saites cilpā, kas iteratīvi uzlabo pieņemtās takts fāzi līdz konverģencei. Pēc sinhronizācijas sistēma turpina izsekot simbolu fāzi ar nelielām korekcijām visu pārraides laiku. Attēlā uzmanība vērsta uz “1” bitu, ko no abām pusēm ieskauj “0” biti, taču, tā kā tiek salīdzinātas absolūtās vērtības, metode darbojas līdzvērtīgi arī cita veida bitu pārejas gadījumos.



2.13. att. *early-late gate* simbolu laika sinhronizācijas kļūdas noteikšanas pieejas ilustrācija, salīdzinot agro un vēlo vārtu akumulācijas Δ_{sync} signālam dažādās pieņemtās takts fāzēs, konkrēti gadījumā, kad uztvertais “1” bits ir no abām pusēm ieskaits ar “0” bitiem. Zaļās zonas izceļ pozitīvo vērtību akumulācijas, bet sarkanās apzīmē negatīvās.

Izstrādātais dizains pielāgo standarta *early-late gate* sinhronizatoru [47], lai tas atbilstu *AM-ACSK* sistēmas prasībām un *FPGA* ierobežojumiem, sākot ar fiksētā punkta *Simulink* modeli, kas pārveidots uz *VHDL*, izmantojot *HDL Coder*. Kā parādīts 2.14. att., apstrāde sākas ar Δ_{sync} ieejas (“*err_delta_in*”) loģisku 3 bitu nobīdi pa kreisi (ekvivalenti reizināšanai ar $2^3 = 8$), lai pastiprinātu svārstības, pēc tam seko atsevišķas agrā un vēlā logu integrācijas, ko atiestata *SYNC_CLK* signāls. Katrs integrators sastāv no akumulatora, kas apstrādā aptuveni 2^{12} nolases (ar nelielām variācijām cilpas korekciju dēļ), un aritmētiskas 12 bitu nobīdes pa labi, lai aptuveni dalītu ar 2^{12} .



2.14. att. Simulink diagramma, kas attēlo īstenoto *early-late gate* simbolu fāzes sinhronizatoru. Krāsu kodi tekstos apzīmē signālu savienojumus, bultas uz taktētāja ieejām norāda aktivizējošās malas taks signālā.

Vienkāršu simbolu laika sinhronizācijas kļūdas novērtējumu varētu aprēķināt kā $|E| - |L|$ (kur E ir agrā vārta izeja un L – vēlā), taču tas ierobežo lietderību līdz fāzes kļūdām, kas ir mazākas par 25% no simbola ilguma, un pie lielākām nobīdēm pie Δ_{sync} zīmju maiņas rada gandrīz nulles rezultātus. Lai aptvertu visa diapazona kļūdas, aprēķins nošķir lielumu un virzienu:

$$\text{simbolu sinhronizācijas kļūda} = |E - L| \times \text{sign}(|E| - |L|). \quad (2.8.)$$

Praktiskai regulēšanai uzlabotā versija mērogo nobīdi un invertē zīmi atgriezeniskajai saitei:

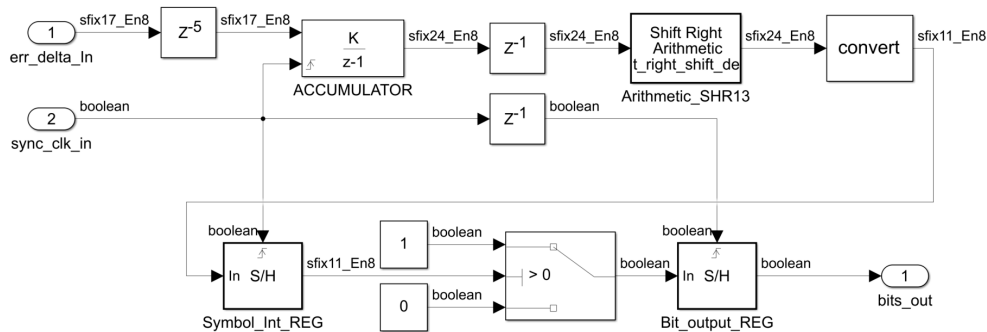
$$PHASE_ADJUST = 2^6 \times |E - L| \times \text{sign}(|L| - |E|), \quad (2.9.)$$

kur 2^6 faktors (izmantojot 6 bitu nobīdi pa kreisi) optimizē cilpas dinamiku. Empīriskie testi uzrādīja, ka šāds lielums nodrošina līdzsvaru starp ātru konverģenci bez pārsitiena vai svārstībām, un precizitāti.

PHASE_ADJUST vērtība modulē 12 bitu brīvu skaitītāju, kas ģenerē *SYNC_CLK*, savukārt 13 bitu palīgskaitītājs nodrošina, ka strauju pāreju laikā nav priekšlaicīgas pieņemtās takts pārslēgšanas, garantējot vismaz 2048 nolases katrā pusciklā. Iegūtā sinhronizētā simbolu fāzes takts tiek padots nākamajam modulim – bitu detektoram.

2.4.6. Lēmuma pieņemšanas bloks (bitu detektors)

Lēmuma pieņemšanas bloks izmanto Δ_{sync} signālu, lai noteiktu ienākošo bitu vērtības, palaužoties uz simbolu fāzes sinhronizācijas moduļa nodrošināto simbolu laika fāzi. Kā parādīts 2.15. att., tas ietver Δ_{sync} ieejas (“*err_delta_in*”) integrēšanu visa simbola ilguma laikā, vadoties pēc atgūtās bitu takts (“*sync_clk_in*”). Precizitāte šajā integrācijā nav kritiska, jo process vērtē tikai rezultāta zīmi binārai klasifikācijai: pozitīvs rezultāts dod “1”, bet negatīvs – “0”.



2.15. att. *Simulink* diagramma moduļim, kas nosaka uztvertos datu bitus.

2.5. Secinājumi

Šī nodaļa veltīta *AM-ACSK* haotiskās sakaru sistēmas raiduztvērēja aprakstam, tostarp tā matemātiskajam modelim, projektēšanas principiem un digitālajai realizācijai uz *FPGA* aparātūras. Galvenie komponenti, piemēram, modificētais Čua haosa ģenerators, kļūdu atgriezeniskās saites sinhronizācija, *ACSK* modulācija un signālapstrādes ķēdes gan raidītājam, gan uztvērējam, detalizēti izskatīti, īpašu uzmanību pievēršot to pielāgošanai efektīvai prototipēšanai un verifikācijai ar *Simulink* simulāciju palīdzību. Šajā nodaļā aprakstītā *AM-ACSK* haotiskās sakaru sistēmas raiduztvērēja *FPGA* realizācija apstiprina ievadā izvirzīto pirmo tēzi.

3. FM-ACSK HAOTISKĀS SAKARU SISTĒMAS APRAKSTS

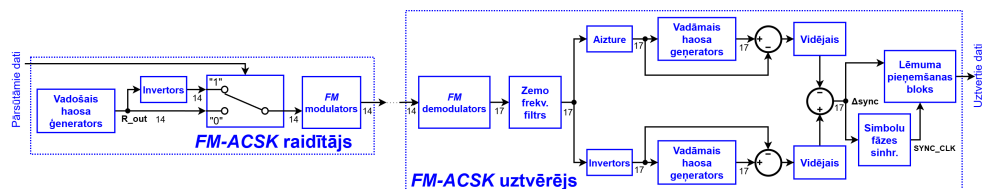
FM-ACSK sakaru sistēmas raiduztvērējs ir ļoti līdzīgs iepriekš aprakstītajai *AM-ACSK* sistēmai, taču tajā ir veiktas būtiskas dizaina izmaiņas. Kā norāda nosaukums, galvenā atšķirība ir tā, ka šī sistēma pārnesei uz nesējfrekvenci izmanto frekvences modulāciju amplitūdas modulācijas vietā. Šajā sadaļā vispirms tiek skaidrotas izmaiņas salīdzinājumā ar *AM-ACSK* sistēmu, pēc tam ir

aprakstīti digitāli realizētās *FM* modulācijas un demodulācijas moduļi, kā arī jaunā zemfrekvenču filtrēšanas sistēma. *FM-ACSK* dizaina un veikspējas atziņas tika publicētas [7, 17].

3.1. Izmaiņas salīdzinājumā ar *AM-ACSK* sakaru sistēmu

FM-ACSK sakaru sistēmas raidītāja un uztvērēja kopējā arhitektūra ir parādīta 3.1. att. Tā kā *FM-ACSK* sistēma ir iepriekš aprakstītās *AM-ACSK* sakaru sistēmas variācija, tās pamatā esošās *ACSK* modulācijas un demodulācijas moduļi ir identiski *AM-ACSK* sistēmas moduļiem. Atšķirības ir signālapstrādes daļās raidītāja izejā un uztvērēja ieejā:

- ***AM* modulators un demodulators ir aizstāti ar *FM* modulatoru un demodulatoru**, attiecīgi. Abas sistēmas izmanto 10,7 MHz nesēju, taču *FM-ACSK* izmanto platāku kanāla joslu (1,720 MHz pret 430 kHz *AM-ACSK* gadījumā), kas vērsts uz noturības palielināšanu pret kanāla trokšni;
- ***AGC* bloks vairs nav nepieciešams** pirms *ACSK* demodulatora, jo *FM* demodulatora izejas signāla jauda nav atkarīga no tā ieejas signāla jaudas;
- **filtru sistēma ir pilnībā pārveidota**. *AM-ACSK* izmanto pazeminātas un paaugstinātas diskretizācijas pieeju ar zemas kārtas pusjoslas *IIR* filtriem, kā arī joslas aiztures filtru 6–90 kHz joslai. *FM-ACSK* gadījumā 6–90 kHz joslas aiztures filtrēšana vienkāršības labad ir izlaista, un tiek filtrētas tikai zemfrekvences komponentes zem 215 kHz, izmantojot specifisku divu galīgas impulsa reakcijas (angļu val. *finite impulse response*, *FIR*) filtru kombināciju. Papildu 860 kHz zemfrekvenču filtrēšanas vienība tiek izmantota *FM* demodulatorā.

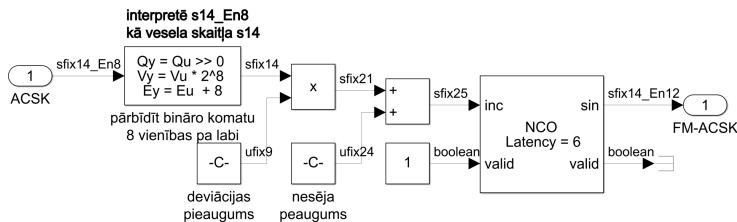


3.1. att. *FM-ACSK* sakaru sistēmas raidītāja un uztvērēja kopējā arhitektūra.

3.2. Frekvences modulācija

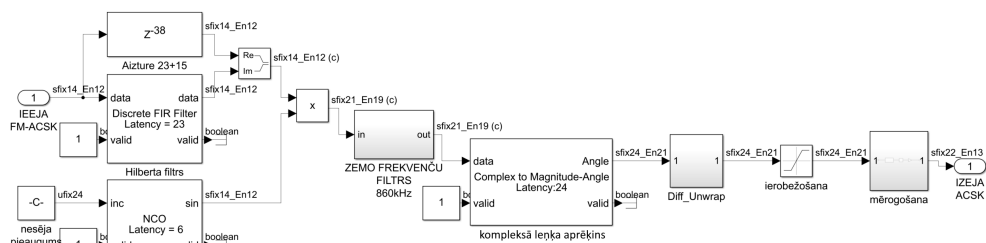
FM modulators ir digitāli realizēts ar *NCO* palīdzību (3.2. att.). Sākotnēji *ACSK* signāls tiek interpretēts kā 14 bitu vesels skaitlis ar zīmi, kas būtībā reizināšanu ar 2^8 . Tas tiek darīts projektēšanas ērtuma dēļ, jo *NCO* pie fāzes pieauguma porta ieejas sagaida veselus skaitļus. Deviācijas pieaugums ir mērogošanas koeficients, kas reizināts ar modificēto *ACSK* un pievienots vai atņemts no nesēja pieauguma vērtības, nodrošinot vēlamo 645 kHz deviāciju. *NCO* iekšējie parametri un nesēja pieauguma vērtība ir tādi paši kā iepriekšējā sadaļā aprakstītajam *AM* modulātoram. Tāpat kā *AM* modulācijā, tiek izmantota 10,7 MHz nesējfrekvence, kas ir bieži sastopama starpfrekvence tradicionālajās *FM* sakaru sistēmās. Ņemot vērā, ka maksimālā *ACSK* frekvence, kas izmantota de-

modulācijā, ir 215 kHz, izvēlēta 645 kHz deviācija, tādējādi iegūstot frekvences modulācijas indeksu 3 un 1,720 MHz joslas platumu *FM-ACSK* pārraidītajam signālam, saskaņā ar Karsona likumu.



3.2. att. *Simulink* diagramma *FM* modulatora blokam.

Digitālais *FM* demodulators, kā parādīts 3.3. att., izmanto 30 koeficientu *FIR* Hilberta filtru kopā ar atbilstošu aizturi – kas ir ekvivalenta pusei no Hilberta filtra grupas aiztures plus tā iekšējā aizture –, lai izveidotu kompleksu analītisko signālu no trokšņa ietekmētā *FM-ACSK* ieejas signāla. Šis analītiskais signāls pēc tam tiek reizināts ar lokāli ģenerētu nesēja signālu no *NCO*, kas atdarina *FM* modulātora nesēju. Šī sajaukšanas operācija vienu *FM-ACSK* analītiskā signāla kopiju pārvieto uz pamatjoslu, bet otru – uz dubulto nesējfrekvenci. Lai apspiestu augstfrekvences kopiju un mazinātu daļu no kanāla trokšņa, tiek izmantots 100 koeficientu *FIR* zemfrekvences filtrs ar robežfrekvenci 860 kHz, kas atbilst pusei no *FM-ACSK* joslas platumā.



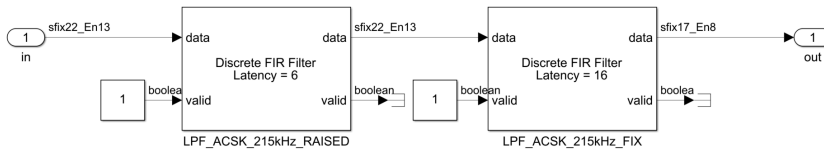
3.3. att. *Simulink* diagramma *FM* demodulatora blokam.

Iegūtā kompleksā pamatjoslas signāla momentānā fāze tiek iegūta, aprēķinot tā leņķi, izmantojot attiecīgu *Simulink HDL Toolbox* moduli. Modulējošā *ACSK* signāla, kas atbilst momentānajai frekvencei, atjaunošana tiek panākta ar vienkāršu divu koeficientu diferencētāju, kas arī noņem jebkuru pastāvīgu nobīdi (līdzspriegumu), ko rada nesējfāzes neatbilstības. Lai novērstu pārplūdes, ko izraisa spēcīgs trokšnis, signāla novirzēm ārpus paredzētā diapazona, ko nosaka frekvences deviācija, tiek piemērota vērtību ierobežošana. Visbeidzot, signāls tiek pastiprināts, lai jaudas līmenis *ACSK* demodulatora ieejā būtu līdzīgs līmenim *ACSK* modulātorā izejā.

3.3. Filtri

Pirms rekonstruētā *ACSK* signāla padošanas *ACSK* demodulatoram veikta papildu filtrēšana ar 215 kHz zemfrekvences *FIR* filtru, lai vēl vairāk samazinātu atlikušā kanāla trokšņa ietekmi.

FM-ACSK sistēmā filtrēšanas process īstenots ar divu zemfrekvences *FIR* filtru kaskādētu struktūru (3.4. att.), kas projektēšanas ietvarā apzīmēti kā “*RAISED*” un “*FIX*”. Šīs pieejas mērķis ir panākt apmierinošu *FIR* filtrēšanas veiktspēju, vienlaikus minimizējot aparātūras resursu izmantojumu.



3.4. att. *Simulink* diagramma 215 kHz zemfrekvences *FIR* filtra vispārējai struktūrai pēc *FM* demodulatora.

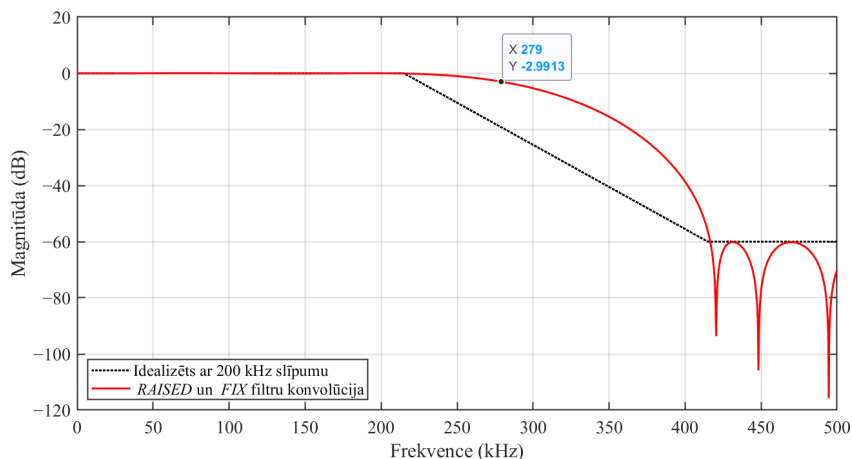
RAISED FIR filtra koncepcijas pamatā ir ideja, ka filtram, kas projektēts ar robežfrekvenci tuvāk pusei no Naikvista frekvences (F_N), nepieciešama zemāka kārtā nekā filtram ar tādiem pašiem nosacījumiem un robežslīpumu, kas būtu vajadzīgs procesa frekvenču diapazona malās (šajā gadījumā pie 0 Hz un $F_N = 25$ MHz). Viens no esošajiem risinājumiem šī trūkuma novēršanai ir digitāla diskretizācijas samazināšana un palielināšana. Tomēr *RAISED FIR* filtrs to apiet ar daudz vienkāršāku pieeju. Sākotnējais filtrs projektēts pie augstākas robežfrekvences, konkrēti pie mērķa robežfrekvences $F_c = 215$ kHz, kas reizināta ar veselu nobīdes koeficientu $RAISE = 7$. Pēc tam starp katru sākotnējā filtra koeficientu ievietotas $RAISE - 1 = 6$ nulles, tādējādi veidojot *RAISED FIR* filtra koeficientus. Šī korekcija faktiski pārvieto robežfrekvenci atpakaļ uz F_c , vienlaikus ieviešot vairākus šaurus joslas caurlaides apgabalus, kas atrodas frekvenču $1 \times F_s/RAISE$, $2 \times F_s/RAISE$, $3 \times F_s/RAISE$ utt. apkārtne. Izvēlētais $RAISE$ koeficients pārbīda sākotnējo robežfrekvenci no 215 kHz uz 1,505 MHz.

FIX FIR filtrs ir vienkāršs zemas kārtas zemfrekvences *FIR* filtrs, kura robežfrekvence ir pie pirmās *RAISED FIR* filtra caurlaides joslas, kas atrodas frekvencē, kura ir tuvu $1 \times F_s/RAISE - F_c$. Tas nodrošina, ka visas virs pamatjoslas esošās caurlaides joslas, ko ievieš *RAISED FIR* filtrs, tiek nofiltrētas vismaz līdz izvēlētajai 60 dB vājināšanai sprostjoslā.

735. kārtas *RAISED FIR* filtrs uzrāda frekvences robežslīpumu pamatjoslā, kas ir identisks parastam tādas pašas kārtas *FIR* filtram, abiem projektētiem ar identiskiem nosacījumiem. Galvenā atšķirība ir tā, ka *RAISED FIR* filtram no visiem 735 koeficientiem tikai 104 ir nenulles koeficienti, un papildu caurlaides joslas tiek izņemtas ar relatīvi mazu 17. kārtas *FIX FIR* filtru.

Kombinētā 215 kHz zemfrekvences *FIR* filtra amplitūdas frekvenču raksturlielne pirmo 500 kHz diapazonā ir parādīta 3.5. att. Punktotā līnija norāda idealizētu filtra amplitūdas frekvenču raksturlielni, kurai ir 200 kHz uz 60 dB slīpums no F_c . Projektēšanas ierobežojums caurlaides joslas maksimuma–minimuma svārstībām ir noteikts aptuveni 0,2 dB, lai nodrošinātu minimālu *ACSK* signāla spektrālo kropļojumu. Šī ierobežojuma trūkums ir salīdzinoši lēnā pāreja starp caurlaides un slāpēšanas joslu, kur 3 dB vājinājums tiek sasniegts tikai pie 279 kHz.

Zemfrekvences *FIR* filtrs *FM* demodulatora blokā ar 860 kHz robežfrekvenci projektēts ar tādu pašu pieeju kā iepriekš aprakstītais 215 kHz *FIR* filtrs. Sprostjoslas vājināšanas un caurlaides joslas svārstību ierobežojumi, kā arī $RAISE$ koeficients ir identiski. Nenulles koeficientu skaits 860 kHz



3.5. att. 215 kHz zemfrekvences *FIR* filtra amplitūdas frekvenču raksturlīkne pirmo 500 kHz frekvenču diapazonā.

RAISED FIR filtrā (693. kārtas) ir 98, un atbilstošā *FIX FIR* filtra kārtā ir 27.

3.4. Secinājumi

Šī nodaļa veltīta *FM-ACSK* haotiskās sakaru sistēmas raiduztvērēja aprakstam, tostarp tā arhitektūras līdzībām un izmaiņām salīdzinājumā ar *AM-ACSK* sistēmu, projektēšanas principiem un digitālo realizāciju uz *FPGA* aparatūras. Detalizēti izskatīti galvenie komponenti, piemēram, *FM* modulācijas un demodulācijas moduļi, kā arī pārprojektētā zemfrekvences filtrēšanas sistēma. Šajā nodaļā aprakstītā *FM-ACSK* haotiskās sakaru sistēmas *FPGA* realizācija apstiprina ievadā izvirzīto otro tēzi.

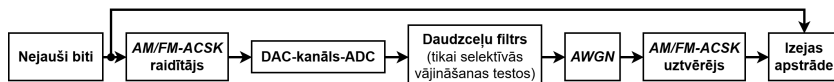
4. HAOTISKO SAKARU SISTĒMU MODEĻU VEIKTSPĒJAS NOVĒRTĒJUMS, IZMANTOJOT SIMULĀCIJU

Lai novērtētu *AM-ACSK* un *FM-ACSK* haotisko sakaru sistēmu raiduztvērēju veiktspēju *Simulink* vidē, abām sistēmām veikti *AWGN* kanāla veiktspējas testi, savukārt *FM-ACSK* gadījumā papildus veikts selektīvas vājināšanas kanāla veiktspējas tests *AWGN* klātbūtnē. Šajā sadaļā aprakstītas šo simulācijas testu eksperimentālās uzstādnēs un rezultāti.

4.1. *Simulink* modeļa eksperimentālā uzstāдне

Šī apakšnodaļa veltīta vispārējās *Simulink* modeļa eksperimentālās uzstādnēs struktūras aprakstam abām sistēmām, kā parādīts 4.1. att. Sākotnēji ievades dati ģenerēti, izmantojot Bernulli nejaušā sadalījuma binārā ģenerators bloku no *Simulink* bibliotēkas ar laiku vienam datu bitam $T_b = 8192$ nolases. *DAC*-kanāls-*ADC* modulis kalpo, lai atdarinātu aptuvenās vājināšanās un aiztures rakstur-

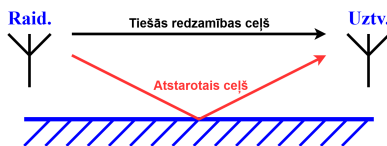
lielumus *FPGA* prototipā, kura raiduztvērējs ir savienots cilpā izmantojot 62 cm koaksiālo kabeli ar 10 nolašu aizturi un 0,35 pastiprinājumu.



4.1. att. Eksperimentālās uzstādes vispārējā struktūrā *Simulink* veikspējas novērtējuma testiem abām haotiskām sakaru sistēmām.

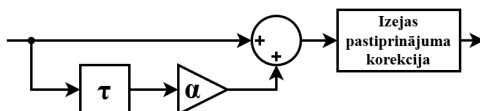
4.1.1. Selektīvās vājināšanas kanāls

Šī eksperimenta mērķis ir atdarināt vienkāršu daudzceļu scenāriju bezvadu pārraidē un novērtēt sistēmas noturību pret troksni dažādos selektīvās vājināšanas apstākļos. Šis vienkāršais modelis ietver tikai divus signāla ceļus: tiešās redzamības ceļu un vienu atstarotu ceļu (kā parādīts 4.2. att.). Izvēlētais aiztures ir fiksētas, lai radītu laikā nemainīgu selektīvās vājināšanas efektu, bet izveidotais iegriezums – kas rodas no fāzes interferences – ir izlīdzināts ap *FM-ACSK* signāla nesējfrekvenci, veidojot izaicinošu sliktākā gadījuma scenāriju.

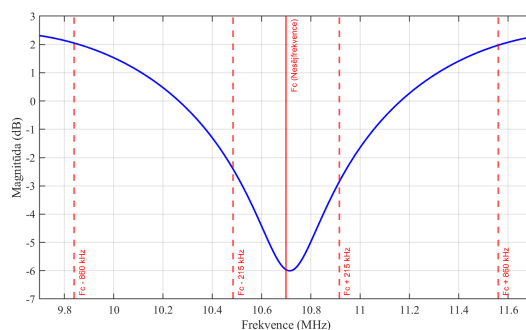


4.2. att. Divceļu izplatīšanās modeļa shematiskais attēlojums selektīvas vājināšanas kanālam.

Lai atdarinātu šo divceļu laikā nemainīgo selektīvās vājināšanas kanālu, tika ieviests vienkāršs *FIR* filtrs (kā parādīts 4.3. att.). Aiztures parametrs τ apzīmē atstarotā signāla laika nobīdi attiecībā pret tiešo signālu uztvērējā. Izvēlēta 21 nolases aizture (pa 20 ns katrai nolasei 50 MHz diskretizācijas frekvencē), kas nosaka vājināšanas iegriezuma joslas platumu un novieto to tuvu nesējfrekvencei (parādīts 4.4. att.). Pastiprinājuma parametrs α ņem vērā atstarošanas radītos zudumus. Eksperimentā pārbaudīti seši atšķirīgi pastiprinājuma iestatījumi, iegūstot dažāda dziļuma iegriezuma vājinājumus. Lai saglabātu nemainīgu signāla jaudu *AWGN* ievades punktā un tādējādi vienkāršotu *SNR* aprēķinus, pēc *FIR* filtrēšanas piemērota pastiprinājuma korekcija. Izmantoto pastiprinājumu (α) un izejas pastiprinājuma korekciju vērtības ir apkopotas 4.1. tabulā. Šo vērtību noapaļošana veikta, lai atbilstu sistēmas 14 bitu fiksētā punkta formātam ar zīmi (12 biti daļskaitļa daļā).



4.3. att. Daudzceļu filtra konfigurācija, kurā iekļauts *FIR* elements divceļu selektīvai vājināšanai un izejas pastiprinājuma korekcija.



4.4. att. Selektīvās vājināšanas *FIR* filtra amplitūdas frekvenču raksturlīkne, kas demonstrē 6 dB iegriezuma dziļumu.

Daudzcēļu filtra parametri

4.1. tabula

Vājināšanas iegriezuma dziļums, dB	Pastiprinājums (α)	Izejas pastiprinājuma korekcija
1,5	0,2919921875	1,292724609375
3,0	0,498779296875	1,548583984375
4,5	0,700927734375	1,76123046875
6,0	0,7490234375	1,79052734375
7,5	0,822265625	1,811279296875
9,0	0,874267578125	1,806884765625

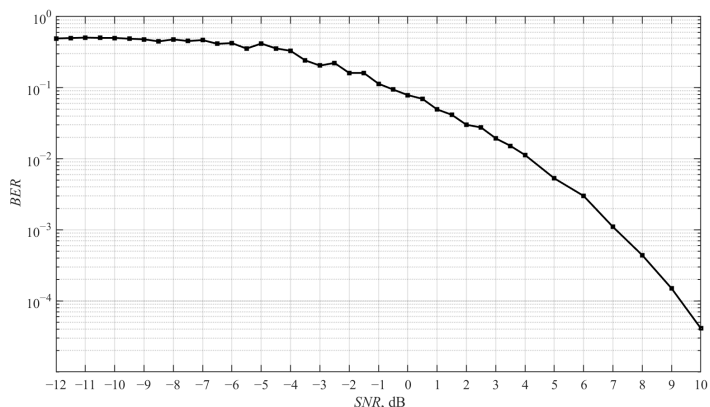
4.2. *AM-ACSK* modeļa veiktspējas novērtējums *Simulink* vidē *AWGN* kanālā

Kā parādīts 4.5. att., simulētais *AM-ACSK* sistēmas rezultāts sasniedz *BER* zem 10^{-3} aptuveni pie 7 dB *SNR* un turpina uzlaboties gandrīz monotoniski, palielinoties *SNR*, līdz aptuveni 9–10 dB tas samazinās līdz 10^{-4} – 10^{-5} diapazonam. Simulētā līkne ir gluda un gandrīz log-lineāra vidēja un augsta *SNR* diapazonā, kas norāda uz stabilu veiktspēju un prognozējamu jutību pret troksni idealizētajā modelī.

4.3. *FM-ACSK* modeļa veiktspējas novērtējums *Simulink* vidē

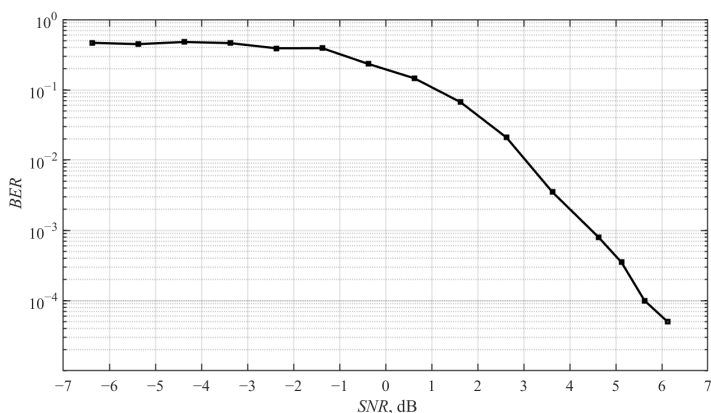
4.3.1. *AWGN* kanāla veiktspēja

MATLAB Simulink modeļēšanas rezultāti *FM-ACSK* haotiskai sakaru sistēmai, kā parādīts 4.6. att., uzrāda gludu *BER* līkni *AWGN* kanāla apstākļos, demonstrējot spēcīgu noturību pret troksni, kur *BER* samazinās no aptuveni 0,5 pie *SNR* vērtībām zem –3 dB līdz gandrīz 10^{-4} pie 5,6 dB. Simulācijās lielākajai daļai punktu izmantoti 2000 pārraidīti datu biti un 20 000 biti četriem zemākajiem *BER* lielumiem, lai uzlabotu precizitāti pie augstākam *SNR*, kur kļūdas ir retas. Līkne saglabājas ap 0,5 *BER* no –7 līdz –3 dB, norādot uz sliekšņa efektu, pirms tā strauji krītas – piemēram, no aptuveni 0,3 pie –1 dB līdz aptuveni 0,001 pie 5 dB – ar slīpuma samazināšanos no vairāk nekā



4.5. att. AM-ACSK sistēmas *BER* modelēšana *Simulink* vidē ar AWGN kanālu.

2 dB uz dekādi sākotnēji līdz mazāk nekā 1 dB uz dekādi pie augstāka *SNR*, tādējādi atbalstot precīzu trokšņa veikspējas prognozēšanu. Papildu testēšana ar blīvāku *SNR* izvēlni un lielāku bitu apjomu varētu atklāt nelielas *BER* slīpuma variācijas, lai gan pašreizējie dati šādas anomālijas neuzrāda.



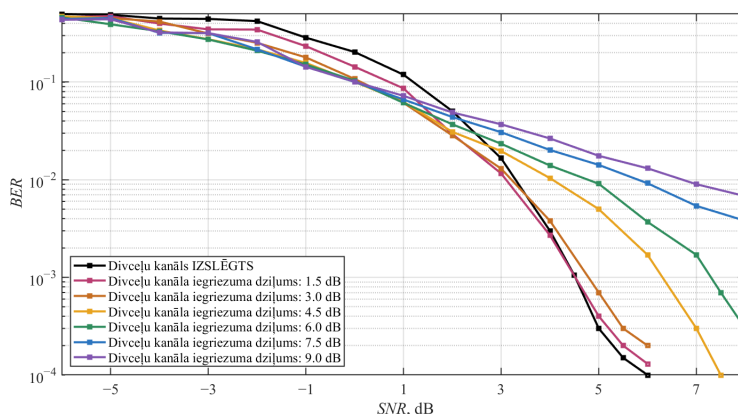
4.6. att. FM-ACSK sistēmas *BER* modelēšana *Simulink* vidē ar AWGN kanālu.

4.3.2. Selektīvās vājināšanas kanāla veikspēja

4.7. att. parādīti *BER* simulācijas rezultāti dažādiem selektīvās vājināšanas iegriezumu dziļumiem pie dažādiem *SNR* līmeņiem, kas publicēti [14]. Pie augsta *SNR* (virs 2–3 dB) sistēmas veikspēja ar seklajiem 1,5 dB un 3,0 dB iegriezumiem saglabājas salīdzināma ar situāciju bez vājināšanas. Dziļāki iegriezumi gan rada būtisku *BER* pasliktināšanos, jo palielinās kropļojumi *FM-ACSK* signāla spektrā.

Savukārt pie augsta trokšņa apstākļiem (*SNR* zem 2–3 dB) selektīvās vājināšanas klātbūtne nodrošina nedaudz labāku veikspēju nekā scenārijā bez vājināšanas. Šis uzlabojums ir saistīts ar kanāla pastiprinājumu kritiskajām sānu joslas frekvencēm, kas nes informāciju un atrodas aptuveni

aiz puses no nesēja deviācijas. Lai gan šis efekts ir saskatāms *BER* grafikā, tā praktiskā lietderība ir ierobežota, jo darbība pie *BER* līmeņiem virs 10^{-2} rada ievērojamas grūtības pat ar sarežģītām turpvērstās kļūdu labošanas (angļu val. *forward error correction, FEC*) metodēm.



4.7. att. *BER* līknes dažādiem divceļu selektīvās vājināšanas iegriezumu dziļumiem pie dažādām *SNR* vērtībām *MATLAB Simulink* simulācijā.

4.4. Secinājumi

Šī nodaļa veltīta haotiskās sakaru sistēmas matemātisko modeļu veikspējas novērtējumam, izmantojot *MATLAB Simulink* vidi. Detalizēti aprakstīta abu *AM-ACSK* un *FM-ACSK* sistēmu raidzuvtvērēju simulācijas testēšanas uzstādne, tostarp selektīvās vājināšanas kanāla modeļa definīcija, kam sekoja *BER* analīzes *AWGN* (abām sistēmām) un divceļu selektīvās vājināšanas (*FM-ACSK*) kanālos plašā *SNR* vērtību diapazonā.

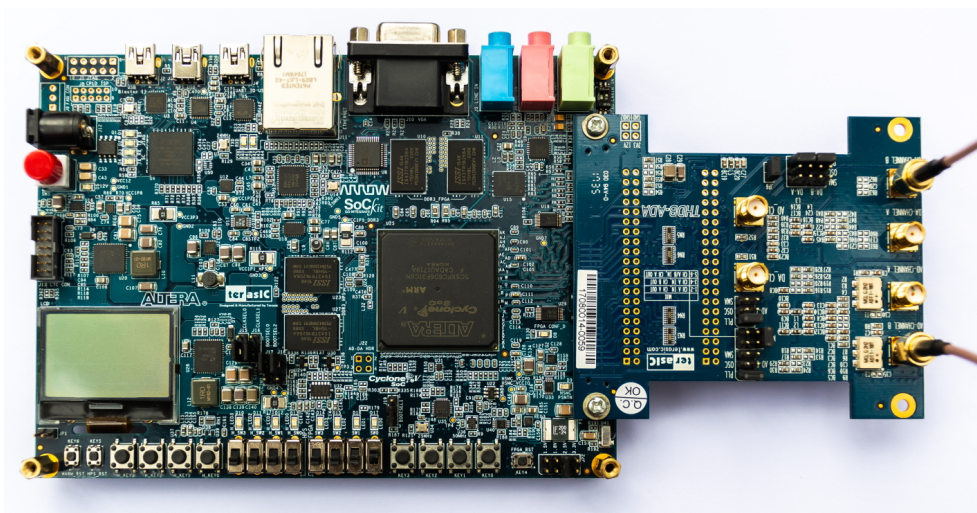
5. HAOTISKO SAKARU SISTĒMU *FPGA* PROTOTIPU VEIKTSPĒJAS NOVĒRTĒJUMS

Līdzīgi kā iepriekšējā nodaļā, šeit aplūkota *AM-ACSK* un *FM-ACSK* veikspēja *AWGN* kanālos gan bez, gan ar selektīvās vājināšanas kanāliem. Šie novērtējumi veikti uz *FPGA* prototipiem, kas sniedz pilnīgāku izpratni par haotisko sakaru sistēmu praktiskās veikspējas raksturlielumiem.

5.1. *FPGA* prototipu eksperimentālā uzstādne

FPGA prototipi izstrādāti, izmantojot *Arrow SoCKit* plati (5.1. att.), kas aprīkota ar *Altera (Intel) Cyclone V 5CSXFC6D6F31C6N FPGA* mikroshēmu. Raidītāja–uztvērēja savienojumu nodrošina analogais kanāls, izmantojot *DAC* un *ADC* uz *Terasic THDB-ADA* paplašinājuma plates. Šī konfigurācija ir savienota ar *SoCKit* caur *HSMC* saskarni.

Cyclone V vienčipa sistēma (angļu val. *system-on-chip, SoC*) piedāvā virkni papildu iespē-

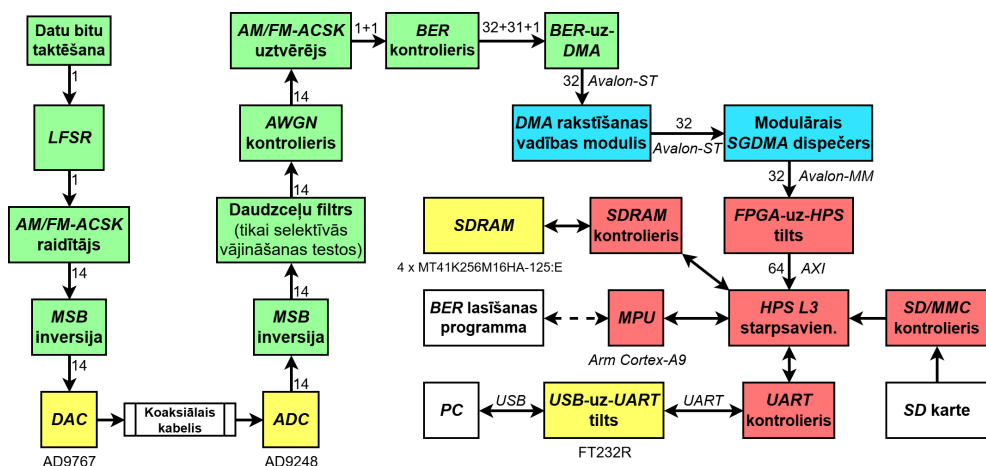


5.1. att. *FPGA* haotisko sakaru sistēmu prototipa fotogrāfija uz *Arrow SoCKit* izstrādes plates ar *Terasic THDB-ADA* paplašinājuma plati un koaksiālo kabeli analogā signāla pārraidei.

ju, kas pārsniedz *FPGA* pamatfunktionalitāti. Tas ietver cieto apstrādes sistēmu (angļu val. *hard processing system*, *HPS*), kurā ir *Arm Cortex-A9* mikroprocesors (angļu val. *microprocessor unit*, *MPU*) un perifērijas kontrolierus. Tas nodrošina vienotu *FPGA* signālapstrādes integrāciju ar *MPU* balstītu programmatūru, kas darbojas uz specifiskas *Linux* operacionālās sistēmas bāzes. *Arrow SoCKit* plate nodrošina piekļuvi perifērijām, piemēram, taktētājiem, pogām, slēdžiem, gaismas diodēm (angļu val. *light-emitting diode*, *LED*), sinhronāi dinamiskāi brīvpiekļuves atmiņai (angļu val. *synchronous dynamic random-access memory*, *SDRAM*) un *USB*-uz-*UART* tiltam, kuri tiek izmantoti testēšanas konfigurācijā.

5.2. att. parādīts eksperimentālās uzstādes augsta līmeņa skats. Zaļie elementi apzīmē pašu izstrādātos *FPGA* moduļus, zilie elementi – *Altera/Intel* intelektuālā īpašuma (angļu val. *intellectual property*, *IP*) kodolus no *Quartus* bibliotēkas, sarkanie bloki – *Cyclone V SoC* integrētos *HPS* moduļus, dzeltenie bloki – ārējās integrāļshēmas (angļu val. *integrated circuit*, *IC*) uz *SoCKit* un paplašinājuma plates, bet baltie bloki – dažādus ārējos elementus.

Būtībā *AM-ACSK/FM-ACSK* raidītājs no pseidogadījuma bināro dato ieejas secības ģenerē haotiskus simbolus (8192 nolases uz modulējošo bitu). Izeja tiek pārveidota analogajā signālā, izmantojot *DAC*, pārraidīta pa 62 cm koaksiālo kabeli uz *ADC* un digitalizēta atpakaļ 14 bitu signālā. Konvertori ir projektēti darbam ar bezzīmes signāliem, tādēļ *MSB* tiek invertēts gan pirms *DAC* (kur divnieka papildkoda formāts tiek pārvērsts *SOB* formātā), gan pēc *ADC* (kur tiek veikts pretējs process). Pēc tam kanāla troksnis un selektīvā vājināšana (ja nepieciešams) tiek pievienoti signālam pirms tā apstrādes ar *AM-ACSK/FM-ACSK* uztvērēju. Atgūtie biti tad tiek izmantoti *BER* aprēķināšanai, un rezultāti pārsūtīti uz personālo datoru (angļu val. *personal computer*, *PC*) attēlošanai, izmantojot *HPS*.

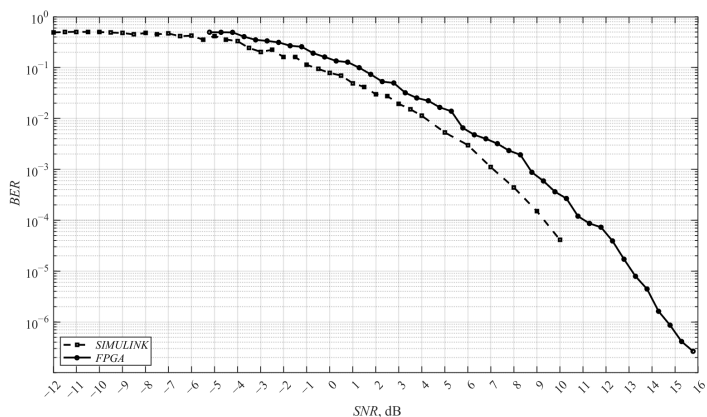


5.2. att. *AM-ACSK/FM-ACSK FPGA* prototipa vispārējās eksperimentālās konfigurācijas vienkāršota shēma.

Papildus *AM-ACSK/FM-ACSK* pamata sistēmai (raiduztvērējam) izstrādāti arī papildu *FPGA* moduļi, lai novērtētu sistēmas veiktspēju (5.2. att.). Tajos ietilpst datu bitu taktēšana, *LFSR*, *AWGN* kontrolieris, *BER* kontrolieris un *BER-uz-DMA*.

5.2. *AM-ACSK FPGA* prototipa veiktspējas novērtējums *AWGN* kanālā

Kā parādīts 5.3. att., *AM-ACSK FPGA* realizācija uzrāda *BER* līkni, kas cieši seko *Simulink* simulācijai pārklājošajā *SNR* diapazonā, apstiprinot aparatūras atbilstību modelim. *FPGA* rezultāti sniedzas līdz 16 dB *SNR*, sasniedzot *BER* zem 10^{-6} (salīdzinājumā ar simulācijas robežu zem 10^{-4} pie 10 dB). Novērotās atšķirības ir nelielas un sagaidāmas aparatūras realizācijai: analogā joslas kanāla nepilnības, sinhronizācijas nobīdes un citi neideāli faktori ievieš papildu efektīvo troksni un realizācijas zudumus, kas izskaidro aptuveni 1–2 dB pasliktinājumu.

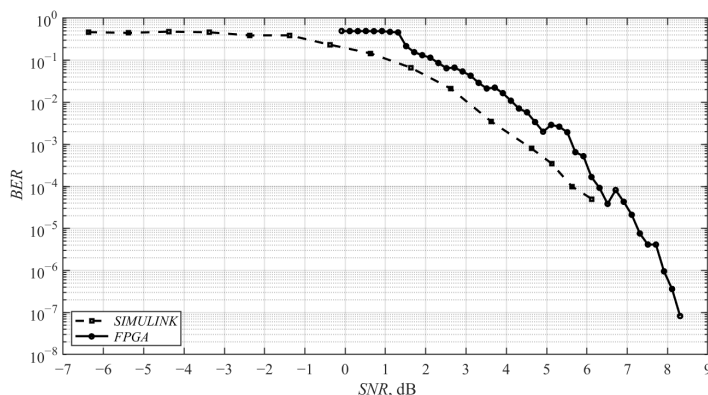


5.3. att. *AM-ACSK BER AWGN* kanālam – *MATLAB Simulink* un *FPGA* rezultāti.

5.3. FM-ACSK FPGA prototipa veiktspējas novērtējums

5.3.1. AWGN kanāla veiktspēja

Kā parādīts 5.4. att., FM-ACSK haotiskās sakaru sistēmas BER veiktspēja demonstrēta AWGN apstākļos. Tāpat kā AM-ACSK gadījumā, šis attēls sastāv no divām daļām: *MATLAB Simulink* simulācijas līknes, kas jau parādīta iepriekšējā nodaļā, un *FPGA* prototipa eksperimentālajiem rezultātiem, kuri izmantoti tiešam salīdzinājumam. *FPGA* rezultāti uzrāda nedaudz mazāk gludu BER līkni nekā simulācijā, ar nelielām nevienmērībām, un demonstrē zemāku noturību pret troksni – aptuveni par 1 dB SNR nobīdi uz augstākām vērtībām pie ekvivalentiem BER līmeņiem. Šis secinājums atbilst gaidītajam, ņemot vērā *FPGA* realizācijas lielāku sarežģītību, kas ietver analogās shēmas daļas, reālās vides un aparatūras ierobežojumus, kuri nav sastopami idealizētajā simulācijas vidē.



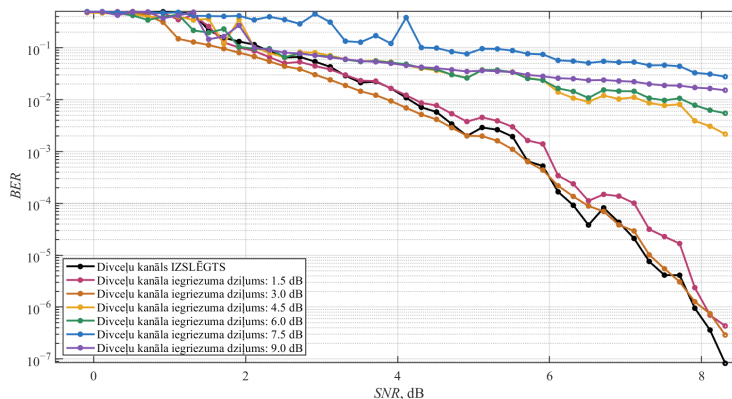
5.4. att. FM-ACSK BER AWGN kanālam – *MATLAB Simulink* un *FPGA* rezultāti.

5.3.2. Selektīvās vājināšanas kanāla veiktspēja

5.5. att. parādīti *FPGA* prototipa BER testu rezultāti pie dažādiem selektīvās vājināšanas iegriezumu dziļumiem dažādos SNR līmeņos. Pie augstām SNR vērtībām (virs 4–5 dB) sistēmas veiktspēja ar seklajiem 1,5 dB un 3,0 dB iegriezumiem saglabājas salīdzināma ar situāciju bez vājināšanas. Dziļāki iegriezumi gan rada būtisku BER pasliktināšanos, jo palielinās kropļojumi FM-ACSK signāla spektrā. Savukārt augsta trokšņa apstākļos (SNR zem 2–3 dB) selektīvās vājināšanas klātbūtne nodrošina veiktspēju, kas ir salīdzināma ar scenāriju bez vājināšanas, un vairums līkņu cieši pārklājas ap 10^{-1} . Īpašu uzvedību demonstrē 7,5 dB iegriezuma dziļuma tests, kas uzrādīja ievērojami sliktāku rezultātu nekā 9,0 dB iegriezuma dziļuma tests ar nevienmērīgu slīpumu pie augstāka trokšņa līmeņa.

Salīdzinot ar tā paša eksperimenta *MATLAB Simulink* simulācijas rezultātiem (4.7. att.), *FPGA* līknes uzrāda augstu kopējo atbilstību tendencē un iegriezuma dziļuma ietekmes relatīvajā secībā (ņemot 7,5 dB iegriezuma dziļumu). Abi rezultāti apstiprina, ka seklie iegriezumi (1,5 dB un 3,0 dB)

pie augsta SNR rada nenožīmīgu pasliktināšanos, savukārt dziļāki iegriezumi ievieš pakāpenisku degradāciju; tomēr aparatūras prototips sasniedz vairāk nekā divu kārtu zemākus BER grīdas līmeņus un darbojas pie augstākiem SNR .



5.5. att. BER līknes dažādiem divceļu selektīvās vājināšanas iegriezumu dziļumiem pie dažādām SNR vērtībām $FPGA$ prototipa testos.

5.4. Secinājumi

Šī nodaļa veltīta haotisko sakaru sistēmu $FPGA$ prototipu veikspējas novērtējumam. Prezentēta eksperimentālā uzstāde ar *Arrow SoCKit* plati, palīgmoduļi ($LFSR$ datu ģenerators, $AWGN$ kontrolieris, BER kontrolieris un DAC/ADC saskarne, izmantojot koaksiālo kabeli) un reāllaika testēšanas metodoloģija, kam sekoja $AWGN$ kanāla BER mērījumi abām ($AM-ACSK$ un $FM-ACSK$) raiduztvērēju sistēmām un divceļu selektīvās vājināšanas kanāla BER mērījumi $FM-ACSK$ sistēmai. Šie empīriskie rezultāti nodrošina stabilu pamatu, lai prognozētu realizēto haotisko sakaru sistēmu noturību pret troksni. Eksperimentālā $FM-ACSK$ pārakas noturības pret troksni validācija, sasniedzot 10^{-3} BER aptuveni pie 5,6 dB SNR (salīdzinājumā ar 8,7 dB SNR $AM-ACSK$ gadījumā), apstiprina trešo un ceturto ievadā izvirzīto tēzi.

KOPĒJIE SECINĀJUMI

Šajā promocijas darbā pētīta $FPGA$ balstītu digitālu haotisko sakaru raiduztvērēju sistēmu izstrāde, kuras pamatā ir modificēts Čua oscilators, apvienots ar kļūdu atgriezeniskās saites sinhronizāciju un divām inovatīvām hibrīdmodulācijām – $AM-ACSK$ un $FM-ACSK$. Šīs modulācijas apvieno digitālu koherentu pamatjoslas antipodālo haotisko manipulāciju ar analogu amplitūdas un frekvences modulāciju pārnesei uz nesējfrekvenci, kas nodrošina noturīgu fiziskā slāņa signāla aizsardzību, vienlaikus pievēršot uzmanību praktiskajiem ierobežojumiem bezvadu sakaru un *IoT* vidēs. Pētījums aptver matemātisko modelēšanu, simulāciju validāciju, $FPGA$ aparatūras prototipēšanu un

veiktspējas salīdzināšanu reālistiskos kanāla apstākļos.

Galvenais mērķis – izpētīt koherentas diskretas haotiskas sakaru sistēmas projektēšanas iespējas un izstrādāt pieeju kopumu šādu sistēmu *FPGA* realizācijai – ir sasniegts. Izpildīts katrs ievadā izvirzītais uzdevums: rūpīgs haotisko sakaru principu un agrāko *FPGA* risinājumu apskats; sistēmu modeļu formulēšana, izmantojot modificētās Čua shēmas *ODE* diskretizāciju ar Eilera metodi fiksētā punkta aritmētikā; koncepcijas pārbaude *Simulink* vidē; prototipu izstrāde uz viena *AlteraIntel Cyclone V FPGA* ar *VHDL* palīdzību; to eksperimentālā validācija, izmantojot pielāgotus palīgmoduļus datu ģenerēšanai, trokšņa ievadīšanai un *BER* novērtēšanai.

Turpmāk uzskaitīti darba galvenie sasniegumi.

- Pilnībā digitāla modificētā Čua ģenerators kopā ar kļūdu atgriezeniskās saites sinhronizāciju un *ACSK* modulāciju (fiksētas 8192 nolases uz simbolu) realizēta un papildināta ar *NCO* vadītām *AM* un *FM* pamatjoslas pārraides posmiem, kas darbojas pie 10,7 MHz nesējfrekvences. Šī arhitektūra saglabā haotisko uzvedību, vienlaikus iekļaujoties viena *Cyclone V FPGA* loģikas resursos, kas darbojas ar 50 MHz taktsfrekvenci.
- Realizētas pilnīgas raidītāja un uztvērēja ķēdes, ietverot digitālus nekoherentus *AM* un *FM* demodulatorus, 215 kHz robežfrekvences filtrus trokšņa slāpēšanai, *AGC* (*AM-ACSK* sistēmā), *early-late gate* simbolu laika sinhronizācijas atjaunošanu un integrācijā balstītu bitu detektēšanu. Iegūtie prototipi nodrošina nemainīgu nekodētu datu pārraides ātrumu 6,1 kbps pie 430 kHz *AM-ACSK* pārraides joslas un 1,720 MHz *FM-ACSK* (modulācijas indekss 3) pārraides joslas.
- Augstas precizitātes *Simulink* modeļi, kas atspoguļo prototipu digitālo signālu trajektorijas, ļāva tieši salīdzināt simulācijas ar aparātūras rezultātiem, apstiprinot ciešu atbilstību, kad tiek ņemti vērā reālās vides efekti un analogā kanāla nepilnības.
- Plaša *BER* raksturošana *AWGN* kanālā parādīja skaidras veiktspējas atšķirības: *FM-ACSK* uzrāda ievērojami labāku noturību pret troksni, pateicoties tā pastāvīgai apliecējai un plašākai spektrālajai aizņemtībai, sasniedzot 10^{-3} *BER* pie 5,6 dB *SNR*, salīdzinot ar 8,7 dB *SNR*, kas nepieciešams *AM-ACSK*.
- Ievadā formulētās četras tēzes empīriski apstiprinātas ar realizētajiem prototipiem, pierādot abu haotisko sakaru sistēmu realizējamību uz *FPGA* aparātūras ar attiecīgajiem *BER* līmeņiem.

Abas sistēmas izstrādātas un novērtētas vienotā simulācijas–aparātūras plūsmā. *Simulink* kalpoja ātrai dizaina iterācijai un teorētiskajam salīdzinājumam, savukārt *FPGA* prototipi – savienoti ar *DAC/ADC* un koaksiālo kabeli – nodrošināja reāllaika testēšanu kontrolētos *AWGN* un daudzceļu selektīvās vājināšanas apstākļos, izmantojot *LFSR*-ģenerētus datus un *BER* kontrolieri testēšanas datu iegūšanai. Šī dubultā validācijas pieeja ļāva ne tikai pārbaudīt teorētiskos modeļus, bet arī atklāt nelielās realizācijas atšķirības, kas rodas kvantēšanas un analogās saskarnes dēļ, sniedzot praktiskus orientierus turpmākajiem uzlabojumiem.

Kopumā šie rezultāti liecina, ka koherentas haotiskas sakaru sistēmas var tikt realizētas *FPGA* platformās un izmantotas saziņai, nodrošinot uzlabotu signāla aizsardzību fiziskajā slānī. Troksnim līdzīgās, izkliedētā spektra īpašības ģenerētajiem nesējiem kopā ar stingro sinhronizācijas prasību uztvērējā pēc būtības paaugstina neatļautas pārtveršanas sliekšni, savukārt izmērītā *BER* veikspēja joprojām ir piemērota zema ātruma lietojumiem, piemēram, drošiem *IoT* sensoru tīkliem, rūpnieciskai uzraudzībai vai apslēptiem taktiskiem sakariem. *FM-ACSK* variants izceļas ar pārāku trokšņu noturību, norādot uz to kā spēcīgu kandidātu vidēm ar sarežģītu izplatīšanos vai traucējumiem.

Kopsavilkumā šis promocijas darbs sekmīgi sasniedz izvirzīto mērķi, izpilda visus pētījuma uzdevumus un pilnībā pamato aizstāvamās tēzes. Izstrādātās metodoloģijas, prototipi un veikspējas dati veido praktisku pamatu *FPGA*-balstītu haotisko sakaru sistēmu attīstībai reālu sakaru scenārijos.

Šī pētījuma rezultāti jāinterpretē, ņemot vērā izvēlēto sistēmas konfigurāciju, kas ietver maza ātruma nekodētu pārraidi, vienu konkrētu *FPGA* platformu, fiksētā punkta aritmētiku un kontrolētus *AWGN*/selektīvās vājināšanās kanāla apstākļus. Ir nepieciešami turpmāki pētījumi, lai panāktu lielākus datu pārraides ātrumus, pilnveidotu sinhronizācijas mehānismus, ieviestu modernas kanāla kodēšanas metodes un veiktu vispusīgu signāla aizsardzības pasākumu novērtējumu.

Turpmāko pētījumu virzieni ietver datu pārraides ātruma palielināšanu, izmantojot augstākas taktsfrekvences un dziļāku konveijerizācijas līmeni, adaptīvu mehānismu ieviešanu, kas reaģē uz dinamiskām kanāla izmaiņām, *FEC* integrācijas izpēti turpmākai *BER* uzlabošanai un detalizētu signāla aizsardzības novērtējumu pret mūsdienu pārtveršanas un slāpēšanas metodēm. Daudzpiekļuves ieviešana arī varētu paplašināt šo haotisko sakaru sistēmu lietojuma jomu. Šeit sniegtās pamatnostādnes un atziņas nodrošina stabilu sākumpunktu šo paplašinājumu izstrādei.

IZMANTOTĀ LITERATŪRA

- [1] T. Tami u. c. "Chaos secure communication' implementation in FPGA". *2018 International Conference on Applied Smart Systems (ICASS)*. 2018, 1.–6. lpp. doi: [10.1109/ICASS.2018.8652046](https://doi.org/10.1109/ICASS.2018.8652046).
- [2] K. Sun. *Chaotic Secure Communication: Principles and Technologies*. De Gruyter, 2016. ISBN: 978-3-11-043406-4.
- [3] P. Stavroulakis. *Chaos applications in telecommunications*. CRC Press, 2006. ISBN: 978-0-203-02531-4. doi: [10.1201/9780203025314](https://doi.org/10.1201/9780203025314).
- [4] S. Çiçek, U. E. Kocamaz un Y. Uyaroglu. "Secure Chaotic Communication with Jerk Chaotic System Using Sliding Mode Control Method and Its Real Circuit Implementation". *Iranian Journal of Science and Technology – Transactions of Electrical Engineering* 43.3 (2019), 687.–698. lpp. ISSN: 23641827. doi: [10.1007/s40998-019-00184-9](https://doi.org/10.1007/s40998-019-00184-9).
- [5] B. Muthuswamy un S. Banerjee. *A Route to Chaos Using FPGAs*. 16. sējums. Springer International Publishing, 2015. ISBN: 978-3-319-18104-2. doi: [10.1007/978-3-319-18105-9](https://doi.org/10.1007/978-3-319-18105-9).
- [6] E. Tlelo-Cuautle, J. d. J. Rangel-Magdaleno un L. G. de la Fraga. *Engineering applications of FPGAs: Chaotic systems, artificial neural networks, random number generators, and secure communication systems*. Springer International Publishing, 2016. ISBN: 978-3-319-34115-6. doi: [10.1007/978-3-319-34115-6](https://doi.org/10.1007/978-3-319-34115-6).
- [7] F. Čapligins u. c. "Frequency-Modulated Antipodal Chaos Shift Keying Chaotic Communication on Field Program Gate Array: Prototype Design and Performance Insights". en. *Applied Sciences* 15.3 (2025. g. janv.), 1156. lpp. ISSN: 2076-3417. doi: [10.3390/app15031156](https://doi.org/10.3390/app15031156).
- [8] M. F. Taşdemir u. c. "Performance Evaluation of FPGA-Based Design of Modified Chua Oscillator". en. *Chaos Theory and Applications* 6.4 (2024. g. nov.), 249.–256. lpp. ISSN: 2687-4539. doi: [10.51537/chaos.1466919](https://doi.org/10.51537/chaos.1466919).
- [9] D. Čirjuļina u. c. "Experimental Study on Colpitts Chaotic Oscillator-Based Communication System Application for the Internet of Things". en. *Applied Sciences* 14.3 (2024. g. janv.), 1180. lpp. ISSN: 2076-3417. doi: [10.3390/app14031180](https://doi.org/10.3390/app14031180).
- [10] R. Babajans u. c. "Synchronization of Analog-Discrete Chaotic Systems for Wireless Sensor Network Design". en. *Applied Sciences* 14.2 (2024. g. janv.), 915. lpp. ISSN: 2076-3417. doi: [10.3390/app14020915](https://doi.org/10.3390/app14020915).
- [11] R. Babajans u. c. "Performance Analysis of Vilnius Chaos Oscillator-Based Digital Data Transmission Systems for IoT". en. *Electronics* 12.3 (2023. g. janv.), 709. lpp. ISSN: 2079-9292. doi: [10.3390/electronics12030709](https://doi.org/10.3390/electronics12030709).
- [12] F. Čapligins u. c. "FPGA-Based Antipodal Chaotic Shift Keying Communication System". en. *Electronics* 11.12 (2022. g. jūn.), 1870. lpp. ISSN: 2079-9292. doi: [10.3390/electronics11121870](https://doi.org/10.3390/electronics11121870).
- [13] F. Čapligins u. c. "Experimental Study of the Chaotic Jerk Circuit Application for Chaos Shift Keying". *Latvian Journal of Physics and Technical Sciences* 58.4 (2021), 55.–68. lpp. doi: [10.2478/lpts-2021-0033](https://doi.org/10.2478/lpts-2021-0033).
- [14] F. Čapligins, A. Litviņenko un D. Kolosovs. "Selective Fading Channel Performance Evaluation for Frequency-Modulated Antipodal Chaos Shift Keying Communication System". *2025 IEEE 12th Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*. 2025, 1.–5. lpp. doi: [10.1109/AIEEE66149.2025.11050770](https://doi.org/10.1109/AIEEE66149.2025.11050770).
- [15] D. Čirjuļina u. c. "Fundamental Frequency Impact on Vilnius Chaos Oscillator Dynamics". *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 87.–101. lpp. ISBN: 978-3-031-60907-7. doi: [10.1007/978-3-031-60907-7_8](https://doi.org/10.1007/978-3-031-60907-7_8).
- [16] R. Babajans u. c. "Study on Analog and Discrete Chaos Oscillators Synchronization". *16th Chaotic Modeling and Simulation International Conference*. Izdevis C. H. Skiadas un Y. Dimotikalis. Cham: Springer Nature Switzerland, 2024, 33.–46. lpp. ISBN: 978-3-031-60907-7. doi: [10.1007/978-3-031-60907-7_4](https://doi.org/10.1007/978-3-031-60907-7_4).

- [17] F. Čapligins, A. Litviņenko un D. Kolosovs. "Performance Evaluation of Frequency Modulated Antipodal Chaos Shift Keying Digital Communication System". en. *2023 Workshop on Microwave Theory and Technology in Wireless Communications (MTTW)*. Riga, Latvia: IEEE, 2023. g. okt., 29.–33. lpp. ISBN: 9798350393491. DOI: [10.1109/MTTW59774.2023.10320019](https://doi.org/10.1109/MTTW59774.2023.10320019).
- [18] A. Āboltiņš u. c. "Implementation of chaotic frequency modulation based spread spectrum communication system in software-defined radio". *2023 IEEE Wireless Communications and Networking Conference (WCNC)*. 2023, 1.–6. lpp. DOI: [10.1109/WCNC55385.2023.10118612](https://doi.org/10.1109/WCNC55385.2023.10118612).
- [19] F. Čapligins, A. Litviņenko un D. Kolosovs. "FPGA Implementation and Study of Antipodal Chaos Shift Keying Communication System". *2021 IEEE Microwave Theory and Techniques in Wireless Communications (MTTW)* (2021), 1.–6. lpp. DOI: [10.1109/mttw53539.2021.9607226](https://doi.org/10.1109/mttw53539.2021.9607226).
- [20] F. Čapligins u. c. "FPGA Implementation and Study of Synchronization of Modified Chua's Circuit-Based Chaotic Oscillator for High-Speed Secure Communications". 2021. ISBN: 978-1-66542-538-4. DOI: [10.1109/AIEEE51419.2021.9435783](https://doi.org/10.1109/AIEEE51419.2021.9435783).
- [21] L. O. Chua u. c. "A Universal Circuit for Studying and Generating Chaos – Part II: Strange Attractors". *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 40.10 (1993), 745.–761. lpp. ISSN: 10577122. DOI: [10.1109/81.246150](https://doi.org/10.1109/81.246150).
- [22] T. Carroll un L. Pecora. "Synchronizing chaotic circuits". *IEEE Transactions on Circuits and Systems* 38.4 (1991), 453.–456. lpp. DOI: [10.1109/31.75404](https://doi.org/10.1109/31.75404).
- [23] H. G. Chou u. c. "A fuzzy-model-based chaotic synchronization and its implementation on a secure communication system". *IEEE Transactions on Information Forensics and Security* 8.12 (2013), 2177.–2185. lpp. ISSN: 15566013. DOI: [10.1109/TIFS.2013.2286268](https://doi.org/10.1109/TIFS.2013.2286268).
- [24] G. Kaddoum. "Wireless Chaos-Based Communication Systems: A Comprehensive Survey". en. *IEEE Access* 4 (2016), 2621.–2648. lpp. ISSN: 2169-3536. DOI: [10.1109/ACCESS.2016.2572730](https://doi.org/10.1109/ACCESS.2016.2572730).
- [25] E. Günay, K. Altun un C. Ünal. "Implementation of CSK communicating system with switched SC-CNN based chaos generator". *2017 10th International Conference on Electrical and Electronics Engineering (ELECO)*. 2017, 1364.–1367. lpp.
- [26] G. Kaddoum un N. Tadayon. "Differential Chaos Shift Keying: A Robust Modulation Scheme for Power-Line Communications". en. *IEEE Transactions on Circuits and Systems II: Express Briefs* 64.1 (2017. g. janv.), 31.–35. lpp. ISSN: 1549-7747, 1558-3791. DOI: [10.1109/TCSII.2016.2546901](https://doi.org/10.1109/TCSII.2016.2546901).
- [27] L. Chua u. c. "A universal circuit for studying and generating chaos. I. Routes to chaos". *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 40.10 (1993. g. okt.), 732.–744. lpp. ISSN: 10577122. DOI: [10.1109/81.246149](https://doi.org/10.1109/81.246149).
- [28] O. Rössler. "An equation for continuous chaos". *Physics Letters A* 57.5 (1976. g. jūl.), 397.–398. lpp. ISSN: 0375-9601. DOI: [10.1016/0375-9601\(76\)90101-8](https://doi.org/10.1016/0375-9601(76)90101-8).
- [29] J. C. Sprott. "A new class of chaotic circuit". *Physics Letters, Section A: General, Atomic and Solid State Physics* 266.1 (2000), 19.–23. lpp. ISSN: 03759601. DOI: [10.1016/S0375-9601\(00\)00026-8](https://doi.org/10.1016/S0375-9601(00)00026-8).
- [30] A. Elwakil un M. Kennedy. "A family of Colpitts-like chaotic oscillators". en. *Journal of the Franklin Institute* 336.4 (1999. g. maijs), 687.–700. lpp. ISSN: 00160032. DOI: [10.1016/S0016-0032\(98\)00046-5](https://doi.org/10.1016/S0016-0032(98)00046-5).
- [31] Y. Luo, S. Yu un J. Liu. "Design and implementation of image chaotic communication via FPGA embedded ethernet transmission". *2009 International Workshop on Chaos-Fractals Theories and Applications, IWCFTA 2009* (2009), 148.–152. lpp. DOI: [10.1109/IWCFTA.2009.38](https://doi.org/10.1109/IWCFTA.2009.38).
- [32] E. Tlelo-Cuautle u. c. "FPGA realization of a chaotic communication system applied to image processing". *Non-linear Dynamics* 82.4 (2015), 1879.–1892. lpp. ISSN: 1573269X. DOI: [10.1007/s11071-015-2284-x](https://doi.org/10.1007/s11071-015-2284-x).

- [33] E. Gunay un K. Altun. “A performance comparison study of programmable platforms: FPAA and FPGA implementation of COOK communication system”. *2017 European Conference on Circuit Theory and Design, ECCTD 2017* (2017), 1.–4. lpp. doi: [10.1109/ECCTD.2017.8093237](https://doi.org/10.1109/ECCTD.2017.8093237).
- [34] J. Schmitz un L. Zhang. “Rössler-based chaotic communication system implemented on FPGA”. *2017 IEEE 30th Canadian Conference on Electrical and Computer Engineering (CCECE)*. 2017, 1.–4. lpp. doi: [10.1109/CCECE.2017.7946729](https://doi.org/10.1109/CCECE.2017.7946729).
- [35] E. Tlelo-Cuautle u. c. “Dynamics, FPGA realization and application of a chaotic system with an infinite number of equilibrium points”. *Nonlinear Dynamics* 89.2 (2017), 1129.–1139. lpp. issn: 1573269X. doi: [10.1007/s11071-017-3505-2](https://doi.org/10.1007/s11071-017-3505-2).
- [36] O. Guillén-Fernández u. c. “On the synchronization techniques of chaotic oscillators and their FPGA-based implementation for secure image transmission”. *PLoS ONE* 14.2 (2019), 1.–34. lpp. issn: 19326203. doi: [10.1371/journal.pone.0209618](https://doi.org/10.1371/journal.pone.0209618).
- [37] J.-C. Nuñez-Perez u. c. “FPGA Realization of an Image Encryption System Using a 16-CPSK Modulation Technique”. en. *Electronics* 13.22 (2024. g. nov.), 4337. lpp. issn: 2079-9292. doi: [10.3390/electronics13224337](https://doi.org/10.3390/electronics13224337).
- [38] M.-A. Estudillo-Valdez, V.-A. Adeyemi un J.-C. Nuñez-Perez. “FPGA realization of an image encryption system using the DCSK-CDMA technique”. en. *Integration* 96 (2024. g. maijs), 102157. lpp. issn: 01679260. doi: [10.1016/j.vlsi.2024.102157](https://doi.org/10.1016/j.vlsi.2024.102157).
- [39] T. Bonny un W. Al Nassan. “Optimizing Security and Cost Efficiency in N-Level Cascaded Chaotic-Based Secure Communication System”. en. *Applied System Innovation* 7.6 (2024. g. okt.), 107. lpp. issn: 2571-5577. doi: [10.3390/asi7060107](https://doi.org/10.3390/asi7060107).
- [40] N. F. Karagiorgos u. c. “Unconventional Security for IoT: Hardware and Software Implementation of a Digital Chaotic Encrypted Communication Scheme”. en. *IEEE Internet of Things Journal* 11.11 (2024. g. jün.), 19914.–19925. lpp. issn: 2327-4662, 2372-2541. doi: [10.1109/JIOT.2024.3371091](https://doi.org/10.1109/JIOT.2024.3371091).
- [41] J.-C. Nuñez-Perez u. c. “224-CPSK–CSS–WCDMA FPGA-Based Reconfigurable Chaotic Modulation for Multiuser Communications in the 2.45 GHz Band”. *Electronics* 14.20 (2025). issn: 2079-9292. doi: [10.3390/electronics14203995](https://doi.org/10.3390/electronics14203995).
- [42] L. Xiao, L. Zhao un J. Jin. “Preset-Time Convergence Fuzzy Zeroing Neural Network for Chaotic System Synchronization: FPGA Validation and Secure Communication Applications”. *Sensors* 25.17 (2025). issn: 1424-8220. doi: [10.3390/s25175394](https://doi.org/10.3390/s25175394).
- [43] M. H. Abd u. c. “Synchronization of Monostatic Radar Using a Time-Delayed Chaos-Based FM Waveform”. *Remote Sensing* 14.9 (2022). issn: 2072-4292. doi: [10.3390/rs14091984](https://doi.org/10.3390/rs14091984).
- [44] T. Hoang. *Simulink model for observer based synchronization in Chua's systems*. MATLAB Central File Exchange. URL: <https://www.mathworks.com/matlabcentral/fileexchange/26246-observer-based-synchronization-in-chua-s-systems> (aplükots 12.02.2019.).
- [45] S. Bendoukha, S. Abdelmalek un A. Ouannas. “Secure communication systems based on the synchronization of chaotic systems”. *Studies in Systems, Decision and Control* 200 (2019), 281.–311. lpp. issn: 21984190. doi: [10.1007/978-3-030-12232-4_9](https://doi.org/10.1007/978-3-030-12232-4_9).
- [46] U. Mengali un A. N. D’Andrea. *Synchronization Techniques for Digital Receivers*. en. Boston, MA: Springer US, 1997. isbn: 978-1-4899-1807-9. doi: [10.1007/978-1-4899-1807-9](https://doi.org/10.1007/978-1-4899-1807-9).
- [47] P. Zicari, P. Corsonello un S. Perri. “A high flexible Early-Late Gate bit synchronizer in FPGA-based software defined radios”. en. *2008 4th European Conference on Circuits and Systems for Communications*. Bucharest, Romania: IEEE, 2008. g. jül., 252.–255. lpp. isbn: 978-1-4244-2419-1. doi: [10.1109/ECCSC.2008.4611687](https://doi.org/10.1109/ECCSC.2008.4611687).



Filips Čapligins dzimis 1993. gadā Rīgā. Rīgas Tehniskajā universitātē (RTU) ieguvis inženierzinātņu akadēmisko bakalaura grādu elektrozinātnē (2019), profesionālo maģistra grādu elektronikā un vadošā elektronikas inženiera kvalifikāciju (2022). No 2020. gada strādāja RTU, ieņemot zinātniskā asistenta, kopš 2022. gada – pētnieka amatu. Kopš 2026. gada ir AS "SAF Tehnika" radioelektronikas inženieris. Zinātniskās intereses saistītas ar haosa teorijas lietojumu telekomunikācijās, ciparu signālu apstrādi, *FPGA* tehnoloģijām.